

PCT

世界知的所有権機関
国際事務局

特許協力条約に基づいて公開された国際出願



(51) 国際特許分類6 C30B 29/06, H01L 21/322	A1	(11) 国際公開番号 WO99/57344 (43) 国際公開日 1999年11月11日(11.11.99)
(21) 国際出願番号 PCT/JP99/02336 (22) 国際出願日 1999年4月30日(30.04.99) (30) 優先権データ 特願平10/122284 1998年5月1日(01.05.98) JP 特願平10/224829 1998年8月7日(07.08.98) JP 特願平11/084915 1999年3月26日(26.03.99) JP 特願平11/084916 1999年3月26日(26.03.99) JP (71) 出願人 (米国を除くすべての指定国について) 新日本製鐵株式会社 (NIPPON STEEL CORPORATION)[JP/JP] 〒100-8071 東京都千代田区大手町二丁目6番3号 Tokyo, (JP) ニッテツ電子株式会社 (NSC ELECTRON CORPORATION)[JP/JP] 〒104-0032 東京都中央区八丁堀三丁目11番12号 Tokyo, (JP)	(72) 発明者 ; および (75) 発明者 / 出願人 (米国についてのみ) 碓 敦(IKARI, Atsushi)[JP/JP] 長谷部政美(HASEBE, Masami)[JP/JP] 中居克彦(NAKAI, Katsuhiko)[JP/JP] 坂本 光(SAKAMOTO, Hikaru)[JP/JP] 大橋 渡(OHASHI, Wataru)[JP/JP] 〒211-0035 神奈川県川崎市中原区井田3丁目35番1号 新日本製鐵株式会社 技術開発本部内 Kanagawa, (JP) 星野泰三(HOSHINO, Taizo)[JP/JP] 岩崎俊夫(IWASAKI, Toshio)[JP/JP] 〒743-0063 山口県光市大字島田3434番地 ニッテツ電子株式会社内 Yamaguchi, (JP) (74) 代理人 八田幹雄, 外(HATTA, Mikio et al.) 〒102-0084 東京都千代田区二番町11番地9 ダイアパレス二番町 Tokyo, (JP) (81) 指定国 DE, KR, US 添付公開書類 国際調査報告書	
(54)Title: SILICON SEMICONDUCTOR WAFER AND METHOD FOR PRODUCING THE SAME (54)発明の名称 シリコン半導体基板及びその製造方法 <div></div> (57) Abstract A silicon semiconductor wafer made of a silicon single crystal grown by the Czochralski method by using molten silicon containing nitrogen at a concentration of 1×10^{16} atoms/cm ³ to 5×10^{19} atoms/cm ³ and by heat treating the wafer at a temperature of 1000 °C to 1300 °C for more than one hour, characterized in that the density of crystal defects having a size of above 0.1 μm in terms of diameter in the region extending at least to the depth of 1 μm from the surface of the wafer is 10^4 cm ⁻³ or less, and the content of nitrogen at the center in the direction of the thickness of the wafer ranges from 1×10^{13} atoms/cm ³ to 1×10^{16} atoms/cm ³ .		

(57)要約

$1 \times 10^{18} \text{ atoms/cm}^3$ 以上 $1.5 \times 10^{19} \text{ atoms/cm}^3$ 以下の窒素を含有するシリコン融液を用いてチョクラルスキー法により育成したシリコン単結晶から得たシリコン半導体基板を、 1000°C 以上 1300°C 以下の温度で1時間以上熱処理することにより得られる、少なくとも基板表面から深さ $1\mu\text{m}$ までの領域において、直径換算で $0.1\mu\text{m}$ 以上の結晶欠陥の密度が 10^4 個/ cm^3 以下であり、またシリコン半導体基板の厚み中心における窒素含有量が $1 \times 10^{13} \text{ atoms/cm}^3$ 以上 $1 \times 10^{16} \text{ atoms/cm}^3$ 以下であることを特徴とするシリコン半導体基板。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE アラブ首長国連邦	DM ドミニカ	KZ カザフスタン	RU ロシア
AL アルバニア	EE エストニア	LC セントルシア	SE スウェーデン
AM アルメニア	ES スペイン	LI リヒテンシュタイン	SG シンガポール
AT オーストリア	FI フィンランド	LK スリランカ	SI スロヴェニア
AU オーストラリア	FR フランス	LS リベリア	SK スロヴァキア
AZ アゼルバイジャン	GA ガボン	LS レソト	SL シエラ・レオネ
BA ボスニア・ヘルツェゴビナ	GB 英国	LT リトアニア	SN セネガル
BB バルバドス	GD グレナダ	LU ルクセンブルグ	SZ スワジランド
BE ベルギー	GE グルジア	LV ラトヴィア	TD チャード
BF ブルキナ・ファソ	GH ガーナ	MA モロッコ	TG トーゴ
BG ブルガリア	GN ガンビア	MC モナコ	TJ タジキスタン
BJ ベナン	GM ギニア	MD モルドヴァ	TZ タンザニア
BR ブラジル	GW ギニア・ビサウ	MG マダガスカル	TM トルクメニスタン
BY ベラルーシ	GR ギリシャ	MK マケドニア旧ユーゴスラヴィア	TR トルコ
CA カナダ	HR クロアチア	共和国	TT トリニダード・トバゴ
CF 中央アフリカ	HU ハンガリー	マリ	UA ウクライナ
CG コンゴ	ID インドネシア	モンゴル	UG ウガンダ
CH スイス	IE アイルランド	MN モーリタニア	US 米国
CI コートジボアール	IL イスラエル	MW マラウイ	UZ ウズベキスタン
CM カメルーン	IN インド	MX メキシコ	VN ヴィエトナム
CN 中国	IS アイスランド	NE ニジェール	YU ユーゴスラビア
CR コスタ・リカ	IT イタリア	NL オランダ	ZA 南アフリカ共和国
CU キューバ	JP 日本	NO ノルウェー	ZW ジンバブエ
CY キプロス	KE ケニア	NZ ニュージーランド	
CZ チェコ	KG キルギスタン	PL ポーランド	
DE ドイツ	KP 北朝鮮	PT ポルトガル	
DK デンマーク	KR 韓国	RO ルーマニア	

明細書

シリコン半導体基板及びその製造方法

技術分野

本発明は、シリコン半導体基板の品質改善に関し、特に、基板内部あ
5 るいは基板表面の欠陥を除去し、基板上に作成するデバイスの歩留りを
向上させるシリコン半導体基板及びその製造方法に関する。

本発明はエピタキシャルシリコン半導体基板の品質改善に関し、特に、
エピタキシャル層およびエピタキシャル層とそのサブストレートウェハ
の界面付近の欠陥を除去とゲッタリング能力向上により、エピタキシャ
10 ル基板上に作成するデバイスの歩留りを向上させるエピタキシャル半導
体基板及びその製造方法に関する。

関連技術

近年のデバイス集積度の向上にともないシリコン半導体基板表面およ
び表層付近に基板製造直後から存在する微小欠陥やデバイス製造過程で
15 誘起される結晶欠陥がデバイス形成時のデバイスパターン不良を起こし
たり、デバイスの動作不良を引き起こし、デバイスの製造歩留りを低下
させることが知られている。このデバイス歩留り低下の原因としては、
基板製造直後の基板表面に0.1 μm 程度のビットとして検出されるC
O P (Crystal Originated ParticlesあるいはCrystal Originated Pi
20 ts)と呼ばれる欠陥が注目されている。

これは、シリコン半導体基板をアンモニア過酸化水素の混合液でエ
ッチングした際、結晶中の格子欠陥を原因としたビットが基板表面に生
じ、基板表面のパーティクルを計数する検査装置によりこのビットが測
定されるため、このように呼ばれている。C O Pとはこのような測定法
25 で検出される欠陥全般を指す名称であるが、通常のチョクラルスキー
(C Z)法もしくは磁場を印加したC Z法により育成されたシリコン単

結晶では、この欠陥の実体は結晶中の八面体様の空隙（以下、空孔欠陥と称す）と考えられており、これがデバイスのパターン不良やデバイスの構造的な破壊を引き起こすと推定されている。このようなデバイス作成に有害なCOPを低減あるいは消滅させる技術として、これまでにい

5 くつかの提案がなされている。

COPを消滅させる技術として、単結晶育成の際の結晶成長速度を0.8 mm/min以下とすることが知られている（特開平2-267195号公報）。これは、空孔欠陥を作る要素である空孔型点欠陥（vacancy）の結晶成長界面での導入量を減少させ、また単結晶の冷却速度を緩やかなものとするにより、冷却中に発生する過飽和な空孔型点欠陥（vacancy）の発生を抑えるものである。しかしながら、この方法では、成長速度の低下による生産性の低下を招くとともに、転位ループ等のCOPとは別種の結晶欠陥を発生させると言う問題がある。

COP発生を抑制する技術としては、単結晶の冷却挙動の制御、特に単結晶が約1200℃から1000℃の温度範囲を通過する時間の制御が有効であることが知られている（特開平8-12493号公報、特開平8-91983号公報、特開平9-227289号公報）。これらの技術は、単結晶の成長速度を大きく低下させないため、生産性という点では問題はないが、COP密度の低減下限は概ね 10^5 個/cm³程度であり、更なる低減、例えば 10^4 個/cm³ 以下の密度を達成することは困難である。

また、COP低減技術として結晶育成時に結晶を冷却する際850℃～1100℃の温度範囲での冷却中の単結晶の保持時間を80分未満とし、または結晶を育成する際窒素濃度が 1×10^{14} /cm³であるシリコン単結晶を育成し、その後シリコンウェハに加工後1000℃以上の温度で1時間以上熱処理する技術が知られている（特開平10-980

47号公報)。これは、結晶製造時に発生するCOPのサイズ分布をより小さい方にシフトさせることにより熱処理の際に欠陥を消滅させやすくする技術である。しかしながら、このサイズ減少の効果は酸素濃度が低いほど顕著とされており、チョクラルスキー法で常用される $7 \sim 10 \times 10^{17} / \text{cm}^3$ の酸素濃度では実施されていない。このため、通常基板中の酸素濃度を高めることにより得られる基板内部での酸素析出物の発生を利用したゲッタリング能の付与とCOPの低減との両立が難しい。

また、単結晶育成時のCOP低減技術以外にも、単結晶からスライス・研磨して基板とした後に熱処理をすることにより、基板表面のCOPを低減・消滅させる技術も知られている。例えば、特開平3-233936号公報には、 $800 \sim 1250^\circ\text{C}$ で10時間以下の熱処理を行うことが提案されている。しかしながら、この公報の実施例に示されている酸化雰囲気で行うと、基板表面の酸化侵食に伴い、空孔欠陥が基板表面に転写され、基板表面のピットの増大を招くと言う欠点があると同時に、基板表面から深さ $1 \mu\text{m}$ の範囲内のCOP密度を 10^4 個/ cm^3 以下とすることは困難である。また、特開昭59-202640号公報には、水素雰囲気中で熱処理することが提案されている。この方法は、水素雰囲気を用いることにより、最表面のCOPを消滅させ、かつ表面から $0.5 \mu\text{m}$ 以内のCOP密度を 10^4 個/ cm^3 以下とすることができるが、表面からさらに深い部分のCOP密度を 10^4 個/ cm^3 以下とすることはできず、デバイス作成の観点からは無欠陥層の形成が不十分である。さらに、この方法では、水素という爆発性の雰囲気を用いるため安全上の対策を充分に行う必要がある。

シリコンの単結晶成長の際に窒素を添加することについて、添加方法に関しては特開昭60-251190号公報等が知られている。また、フロートゾーン(FZ)単結晶における窒素添加効果として、特開昭5

- 7-17497号公報等には結晶強度の増加が、特開平8-91993号公報には抵抗率の変化を抑える方法が開示されている。また、特開平5-294780号公報には、シリコン中に添加した窒素が点欠陥の一種である空孔と相互に作用又は結合して、空孔が関与したクラスター
- 5 (空孔欠陥)の生成を抑制し、空孔欠陥が原因と考えられているエッチビットの発生が抑制されることが開示されている。さらに、酸素が単結晶中に存在する場合には、窒素を添加することによりCOP欠陥が小さくなることがD. Graf等によって報告されている(The Electrochemical Society Proceeding Vol.96-13, pp117, 1996)が、このメカニ
- 10 ムについては、FZ結晶中の空孔型欠陥(vacancy)を抑制するのと同様なメカニズムがCZ結晶の場合にも働き、空孔型欠陥の凝集体である空孔欠陥のサイズを小さくしているものと推論している。しかし、K. Kakumoto, et al.; Proceedings of The 2nd International Symposium on Advanced Science and Technology of Silicon Materials, p.
- 15 437~442 (1996)に示されるように、窒素と空孔とが結合した欠陥が多くなるとシリコン結晶中に電子や正孔の発生あるいは再結合中心となり電気特性を変化させ、さらに、酸素を含むシリコン基板においては窒素が酸素と複合欠陥を形成して基板の抵抗を変化させたり、さらに熱処理により積層欠陥ができ易くなることが知られている。
- 20 また、COP以外にも酸素析出物、転位ループ、および積層欠陥等の各種結晶欠陥も基板表面近傍に形成させないシリコン半導体基板として、CZ法や磁場印加CZ法により育成したシリコン単結晶からスライス、鏡面研磨したウェハ上に、化学気相成長法等によりシリコン単結晶層をエピタキシャル成長させたエピタキシャルシリコン基板が注目され、使
- 25 用されるようになってきている。

エピタキシャルシリコン基板は、上述したようにシリコンウェハ上に

酸素や欠陥をほとんど含まないような単結晶層を新たに堆積する基板であるが、エピタキシャル層堆積時にウェハの表面状態（COP等の空孔欠陥や酸素析出物に起因するビットやヒルロックと呼ばれる微小丘状の欠陥、さらには積層欠陥等の存在）によりエピタキシャル層内に欠陥を発生させたり、デバイス製造過程においてウェハ表面近傍に存在する空孔欠陥や酸素析出物に起因してエピタキシャル層内に欠陥を誘起したり、ウェハ表面近傍の空孔欠陥や酸素不純物がエピタキシャル層内に拡散して新たな欠陥を形成する等の問題が生じていた。このため、高品質なエピタキシャルシリコン基板を得るためには、エピタキシャル層を堆積する元ウェハ自体の表面およびその近傍での無欠陥化技術が重要であるが、ウェハ自体にはデバイスプロセス中での各種汚染に対する耐性としてのゲッタリング能力も要求されており、ウェハ中心部にはゲッタリング能力を有する欠陥を適度に作り込むことも必要である。また、単結晶育成からエピタキシャル層付与までの製造工程が長く、品質管理も厳格に行うため、基板の製造コストが増加する傾向にあるが、いかに高品質のエピタキシャルシリコン半導体基板を低コストで製造できるようにするかという点も重要な課題である。

そこで、エピタキシャル基板に用いられるシリコンウェハについて、表面近傍の欠陥低減技術やゲッタリング能力向上のためのウェハ内部の欠陥作り込み技術として、これまでにいくつかの提案がなされている。例えば、特開平5-283350号公報には、イントリンシックゲッタリング（IG）処理されたウェハに対してシリコン単結晶薄膜を気相成長前に水素を含む雰囲気内で熱処理を施すことにより、ウェハ基板からシリコン単結晶薄膜に生じる欠陥発生起点を消滅させ、その後気相成長により薄膜形成するエピタキシャルシリコン半導体ウェハの製造方法が提案されている。また、特開平8-250506号公報には、単結晶シ

- リコンインゴットから形成したウェハを用い、I G効果を付与するためのI G処理工程と、酸素析出物(BMD)密度を制御するための温度保持工程と、ウェハ表面にエピタキシャル処理工程を行うことによって、BMD密度調整領域をウェハ内部に形成したシリコンエピタキシャルウェ
- 5 エーハが提案されている。さらに、特開平9-199507号公報には、特定の熱処理により、表層には無欠陥(DZ)層を有する場合はLSI形成領域より深層にSiO₂析出物を所定量含有させ、後工程でエピタキシャル成膜する場合は表面よりほぼ均一にSiO₂析出物を所定量含有させることにより、汚染重金属のI G能力が高く、基板の反りを低減
- 10 し強度の優れた半導体基板が提案されている。これらの技術では、各種熱処理を施しているものの、ウェハ自体のI G効果を確保することを最優先しているため、エピタキシャル層を堆積するサブストレートウェハ表面および表層付近に存在しているエピタキシャル成長に有害な結晶欠陥を完全には消去しきれず、エピタキシャル層内に欠陥が残留したり、
- 15 デバイス製造工程で欠陥が誘起する問題を抱えるとともに、熱処理工程が複雑で生産性を大幅に低下させ、製造コスト増加させるという問題点があった。また、特開平8-162406号公報には、あらかじめ 5×10^6 個/cm³以上の高密度な結晶欠陥を含むサブストレートシリコンウェハにエピタキシャル成長させ、基板内部にゲッタリング層を備えたウェハが提案されている。しかしながら、本方法においても、I G効果を優先しているため、サブストレートウェハ表面および表層付近に存在しているエピタキシャル成長に有害な結晶欠陥を完全には消去しきれず、エピタキシャル層内に欠陥が残留したり、デバイス製造工程で欠陥が誘起する問題があった。
- 20
- 25 このように従来技術では一長一短があり、近年の半導体デバイスの一層の微細化、高集積化に伴う要求特性に答えられる半導体基板として、

シリコン基板の表面近傍の結晶欠陥を消去し、かつ十分な I G 能力を基板内部に有するような高品質の半導体基板を低コストで供給することが要望されている。

発明の開示

5 第 1 の観点において、本発明は、半導体デバイス作成用のシリコン半導体基板における前述したような従来の技術では完全には除去できないデバイス作成上問題となる結晶欠陥を、生産性良く、効果的に低減あるいは消滅させたシリコン半導体基板及びその製造方法を提供することを目的とする。

10 本発明はまた、半導体デバイス作成用のシリコン単結晶基板の熱処理による D Z 層の形成において、安全な雰囲気を用いた熱処理により C O P 等の結晶欠陥が少ない高品質な D Z 層を有する半導体基板を提供することを目的とする。

本発明はさらに第 2 の観点において、エピタキシャル層およびエピタ
15 キシャル層とサブストレートウェハの界面近傍領域の欠陥発生を極めて少なく、さらに I G 特性も付与した高品質で低コストなエピタキシャルシリコン半導体基板及びその製造方法を提供することを目的とする。

本発明者らは、シリコン半導体基板中に生成する欠陥について鋭意検討を加え、シリコン半導体基板のデバイス作成領域で問題となる大きさ
20 の欠陥をほぼ完全に消滅できることを見出し、本発明を完成させたものである。

即ち、第 1 の観点において、本発明は、チョクラルスキー (C Z) 法により育成したシリコン単結晶から得たシリコン半導体基板であって、少なくとも基板表面から深さ $1 \mu\text{m}$ までの領域において、直径換算で 0.
25 $1 \mu\text{m}$ 以上の結晶欠陥の密度が 10^4 個 / cm^3 以下であることを特徴とするシリコン半導体基板である。更に好ましくは前記シリコン半導

体基板の厚み中心における窒素含有量が $1 \times 10^{13} \text{ atoms/cm}^3$

以上 $1 \times 10^{16} \text{ atoms/cm}^3$ 以下であるシリコン半導体基板である。また、本発明は、前記シリコン半導体基板の窒素含有量が $1 \times 10^{16} \text{ atoms/cm}^3$ 以下、特に $1 \times 10^{13} \text{ atoms/cm}^3$

- 5 以上 $1 \times 10^{16} \text{ atoms/cm}^3$ 以下であり、かつ該基板中を二次イオン質量分析法で測定した窒素濃度が、平均信号強度の2倍以上の信号強度を示す窒素偏析による局所濃化部を有するシリコン半導体基板である。

- また、本発明は、CZ法により育成したシリコン単結晶から得たシリ
10 コン半導体基板であって、基板厚み中心から表面に向かって結晶欠陥が減少する密度分布を有し、基板表面における直径換算で $0.1 \mu\text{m}$ 以上の結晶欠陥の面密度が 1 個/cm^2 以下であり、かつ基板表面から深さ $0.1 \mu\text{m}$ における直径換算で $0.1 \mu\text{m}$ 以上の結晶欠陥の体積密度が基板厚み中心に比べ1%以下であり、さらに基板厚み中心における窒
15 素含有量が $1 \times 10^{13} \text{ atoms/cm}^3$ 以上 $1 \times 10^{16} \text{ atoms/cm}^3$ 以下であることを特徴とするシリコン半導体基板である。ここでいう結晶欠陥に含まれるものとしては空孔欠陥、酸素析出物、積層欠陥などのデバイス不良の原因となるあらゆる結晶欠陥を指す。

- また、本発明は、 $1 \times 10^{16} \text{ atoms/cm}^3$ 以上 1.5×10^{16}
20 atoms/cm^3 以下の窒素を含有するシリコン融液を用いてCZ法により育成したシリコン単結晶から得たシリコン半導体基板を、 1000°C 以上 1300°C 以下の温度で1時間以上熱処理することを特徴とするシリコン半導体基板の製造方法であり、更に、シリコン単結晶をCZ法により育成する際に、引上速度を $V (\text{mm/min})$ 、シリコンの
25 融点から 1300°C までの温度範囲における引上軸方向の結晶内温度勾配の平均値を $G (^\circ\text{C/mm})$ とするとき、 $V/G \geq 0.2 (\text{mm}^2$

- ／°Cmin) を満足する条件で育成することが好ましく、また熱処理条件としては、非酸化性ガス雰囲気中で熱処理すること、もしくは、酸素を 0.01 vol % 以上 100 vol % 以下を含有するガス雰囲気中で熱処理した後基板表面を 0.5 μm 以上 1.0 μm 以下研磨して基板表面を鏡面とすることが、好ましい。

また本発明者らは、エピタキシャルシリコン半導体基板で発生する欠陥について、デバイス製造工程、エピタキシャル成長工程、さらにはシリコンウェハ製造工程にまで遡って、実験並びに理論考察を鋭意検討した結果、新たな知見を得、本発明を完成させたものである。

- すなわち、第 2 の観点において、本発明は、窒素含有量が $1.0 \times 10^{13} \text{ atoms/cm}^3$ 以上 $1.0 \times 10^{16} \text{ atoms/cm}^3$ 以下のシリコンウェハをサブストレートウェハとしその表面に、エピタキシャル法によりシリコン単結晶層を堆積してなることを特徴とするシリコン半導体基板である。

- 本発明はまた、酸素含有量が $1.0 \times 10^{17} \text{ atoms/cm}^3$ 以上のシリコンウェハをサブストレートウェハとしその表面にエピタキシャル法によりシリコン単結晶層を堆積してなるシリコン半導体基板であって、少なくとも前記サブストレートウェハとエピタキシャル法により堆積したシリコン単結晶層の界面から深さ 1 μm までの領域において、直径換算で 0.1 μm 以上の結晶欠陥の密度が $5 \times 10^4 \text{ 個/cm}^3$ 以下であることを特徴とするシリコン半導体基板である。また、前記サブストレートウェハがさらに窒素を $1.0 \times 10^{13} \text{ atoms/cm}^3$ 以上 $1.0 \times 10^{16} \text{ atoms/cm}^3$ 以下含有してなることが好ましい。

- 本発明はまた、酸素含有量が $1.0 \times 10^{17} \text{ atoms/cm}^3$ 以上シリコンウェハをサブストレートウェハとしその表面にエピタキシャル法によりシリコン単結晶層を堆積してなるシリコン半導体基板であって、少なくとも前記サブストレートウェハとエピタキシャル法により堆積したシリ

コン単結晶層の界面から深さ $1\text{ }\mu\text{m}$ までの領域において、直径換算で 20 nm 以上の結晶欠陥の密度が 5×10^5 個/ cm^3 以下であることを特徴とするシリコン半導体基板である。さらに、少なくとも前記サブストレートウェハとエピタキシャル法により堆積したシリコン単結晶層の

5 界面から深さ $1\text{ }\mu\text{m}$ までの領域において、直径換算で $0.1\text{ }\mu\text{m}$ 以上の結晶欠陥の密度が 5×10^4 個/ cm^3 以下であることが好ましい。また、前記サブストレートウェハがさらに窒素を $1.0 \times 10^{13}\text{ atoms/cm}^3$ 以上 $1.0 \times 10^{16}\text{ atoms/cm}^3$ 以下含有してなることが好ましい。

さらに、第2の観点に係る本発明の上述したいずれのシリコン半導体

10 基板においても、前記サブストレートウェハの厚み中心において、直径換算で 20 nm 以上の結晶欠陥密度が 1×10^6 個/ cm^3 以上であることが好ましい。

本発明はまた、 $1.0 \times 10^{16}\text{ atoms/cm}^3$ 以上 $1.5 \times 10^{19}\text{ atoms/cm}^3$ 以下の窒素を含有するシリコン融液を用いて育成したシリコン単結晶

15 から得たシリコンウェハをサブストレートウェハとしその表面に、エピタキシャル法によりシリコン単結晶層を堆積させることを特徴とするシリコン半導体基板の製造方法である。

本発明はまた、チョクラルスキー法により、凝固温度から 800°C の結晶温度範囲を $2.0^\circ\text{C}/\text{分}$ 以上の冷却速度で育成したシリコン単結晶

20 から得たシリコンウェハをサブストレートウェハとしその表面に、エピタキシャル法によりシリコン単結晶層を堆積することを特徴とするシリコン半導体基板の製造方法である。さらに、 $1.0 \times 10^{16}\text{ atoms/cm}^3$ 以上 $1.5 \times 10^{19}\text{ atoms/cm}^3$ 以下の窒素を含有するシリコン融液を用いてシリコン単結晶を育成することが好ましい。

25 本発明はまた、チョクラルスキー法により $800^\circ\text{C} \sim 400^\circ\text{C}$ の結晶温度範囲を $1.0^\circ\text{C}/\text{分}$ 以上の冷却速度で育成したシリコン単結晶から

得たシリコンウェハをサブストレートウェハとしその表面に、エピタキシャル法によりシリコン単結晶層を堆積することを特徴とするシリコン半導体基板の製造方法である。さらに、 $1.0 \times 10^{16} \text{atoms/cm}^3$ 以上 $1.5 \times 10^{19} \text{atoms/cm}^3$ 以下の窒素を含有するシリコン融液を用いて

5 シリコン単結晶を育成することが好ましい。

本発明はさらに、チョクラスキー法により育成したシリコン単結晶であって、結晶引上育成中のシリコン単結晶が凝固温度から 800°C の結晶温度範囲を $2.0^\circ\text{C}/\text{分}$ 以上の冷却速度で育成し、引き続き $800^\circ\text{C} \sim 400^\circ\text{C}$ の結晶温度範囲を $1.0^\circ\text{C}/\text{分}$ 以上の冷却速度で育成したシリコン単結晶から得たシリコンウェハをサブストレートウェハとし

10 その表面に、エピタキシャル法によりシリコン単結晶層を堆積することを特徴とするシリコン半導体基板の製造方法である。さらに、 $1.0 \times 10^{16} \text{atoms/cm}^3$ 以上 $1.5 \times 10^{19} \text{atoms/cm}^3$ 以下の窒素を含有するシリコン融液を用いてシリコン単結晶を育成することが好ましい。

15 また、第2の観点に係る本発明の上記いずれかの製造方法において、チョクラスキー法により育成したシリコン単結晶から得たシリコンウェハを 1000°C 以上 1300°C 以下の温度で5分以上熱処理をしたものをサブストレートウェハとしその表面に、エピタキシャル法によりシリコン単結晶層を堆積することが好ましい。

20 図面の簡単な説明

図1は本発明のシリコン半導体基板の概念図の一例である。

図2は本発明のシリコン半導体基板の概念図の別の一例である。

図3は特に、結晶冷却装置等を設置しない通常のCZ単結晶引上げ装置の概略図である。磁場印加装置は特に記載していないが、引上げ炉体

25 周辺に磁場印加装置を設置し、磁場印加下でも引上げ可能である。

図4は凝固温度から 800°C の結晶温度領域のすべての領域を2.

0℃/分以上で急冷ができるよう結晶冷却装置20を有するCZシリコン単結晶製造装置の概略図である。磁場印加装置は特に記載していないが、引上げ炉体周辺に磁場印加装置を設置し、磁場印加下でも引上げ可能である。

5 図5は800℃から400℃の結晶温度領域のすべての領域を1.0℃/分以上で急冷ができるよう結晶冷却装置30を有するCZシリコン単結晶製造装置の概略図である。磁場印加装置は特に記載していないが、引上げ炉体周辺に磁場印加装置を設置し、磁場印加下でも引上げ可能である。

10 図6は図4の装置に800℃から400℃の結晶温度領域のすべての領域を1.0℃/分以上で急冷ができるよう結晶冷却装置30を有するCZシリコン単結晶製造装置の概略図である。磁場印加装置は特に記載していないが、引上げ炉体周辺に磁場印加装置を設置し、磁場印加下でも引上げ可能である。

15 図7はエピタキシャルシリコンウェハ表面に銅、ニッケル、鉄などの金属不純物を故意に 10^{12} atoms/cm²程度汚染させた後、さらに該ウェハにCMOS熱処理を施した後のP/Nリーク電流の増加量に対するバルク欠陥密度の関係を示すグラフである。

発明を実施するための最良の形態

20 以下に、本発明を実施形態に基づき詳細に説明する。

第1の観点に係る本発明のシリコン半導体基板は、CZ法により育成したシリコン単結晶から得たシリコン半導体基板であって、少なくとも基板表面から深さ1μmまでの領域において、直径換算で0.1μm以上の結晶欠陥の密度が 10^4 個/cm³以下であることが必要である。

25 我々は、シリコン半導体基板のデバイス作成領域における結晶欠陥について検討を加えた結果、デバイスの構造的な破壊を確実に引き起こす

欠陥は、直径換算で $0.1\mu\text{m}$ 以上の大きさを持つものであり、この大きさより小さい欠陥は障害にならないことが多いことを見出した。また、シリコン半導体基板のデバイス作成では、表面から深さ $1\mu\text{m}$ までの領域の欠陥が歩留まりに大きく影響するため、少なくとも基板表面から深さ $1\mu\text{m}$ の領域において、デバイスに有害な欠陥を除去できれば、基板上に作成するデバイスの歩留りを大幅に向上できる。欠陥密度としては体積密度で 10^4 個/ cm^3 以下であれば $1\text{cm}\times 1\text{cm}\times 1\mu\text{m}$ の領域に欠陥1個の割合であり、現在のデバイスの大きさを考慮するとほぼ十分な欠陥密度であると考えられる。

- 10 また、さらに本発明のシリコン半導体基板は、基板厚み中心において窒素を $1\times 10^{13}\text{atoms}/\text{cm}^3$ 以上 $1\times 10^{16}\text{atoms}/\text{cm}^3$ 以下、より好ましくは $5\times 10^{13}\text{atoms}/\text{cm}^3$ 以上 $1\times 10^{16}\text{atoms}/\text{cm}^3$ 以下、さらには $5\times 10^{14}\text{atoms}/\text{cm}^3$ 以上 $1\times 10^{16}\text{atoms}/\text{cm}^3$ 以下含有することが好ましい。
- 15 シリコン単結晶中に窒素を導入することにより、結晶育成時の点欠陥濃度及び点欠陥の凝集挙動が変化して、結晶中に空孔欠陥を変容させ、密度が 10^7 個/ cm^3 以上の酸素析出物が発生するようになる。引上条件によっては変容した空孔欠陥が酸素析出物の密度の5%以下発生する場合がある。基板中の窒素含有量が、 $1\times 10^{13}\text{atoms}/\text{cm}^3$
- 20 未満では空孔欠陥を変容させることが難しく、 $1\times 10^{16}\text{atoms}/\text{cm}^3$ 超になると結晶育成の際転位が入りやすくなり、また窒素が酸素と複合欠陥を形成して基板の抵抗を変化させたり、さらに熱処理により積層欠陥ができやすくなる。なお、基板中の窒素含有量は、SIMS (Secondary Ion Mass Spectroscopy) を用いることにより測定できる。
- 25

さらに本発明においては、前記シリコン半導体基板の窒素含有量が1

$\times 10^{16} \text{ atoms/cm}^3$ 以下、特に $1 \times 10^{13} \text{ atoms/cm}^3$ 以上 $1 \times 10^{16} \text{ atoms/cm}^3$ 以下であり、かつ該基板中を二次イオン質量分析法で測定した窒素濃度が、平均信号強度の2倍以上の信号強度を示す窒素偏析による局所濃化部を有するものであることが好ましい。結晶育成の際に導入された窒素は必ずしも結晶内に均一に分布するとは限らない。結晶の育成条件によっては、窒素の局所的な偏析・濃化により平均の窒素濃度もしくは測定下限の2倍以上の強度で局所的な信号強度の増大が認められる場合がある。これはたとえSIMSで測定された平均の窒素濃度が $1 \times 10^{16} \text{ atoms/cm}^3$ 未満あるいは測定下限以下の場合でもみられることがある。このような場合でも、結晶育成時の点欠陥の凝集の抑制・酸素析出物の生成は十分であり、その後のアニールにより容易に欠陥を消滅させることができる。

また、窒素添加により発生した酸素析出物は、基板厚み中心から表面に向かって酸素濃度が減少する密度分布を持たせることにより、基板表面付近で消滅させることができる。そして、基板厚み中心から表面に向かって結晶欠陥の減少する密度分布がつくられ、基板表面から深さ $0.1 \mu\text{m}$ における直径換算で $0.1 \mu\text{m}$ 以上の結晶欠陥の体積密度が基板厚み中心に比べ2桁以上（1%以下）低下させることが必要である。また基板最表面における直径換算で $0.1 \mu\text{m}$ 以上の結晶欠陥の面密度も非酸化性雰囲気での熱処理あるいは表面の研磨により 1 個/cm^2 以下とすることができる。これらの結晶欠陥（主として酸素析出物）の密度を越えると、デバイスの構造的破壊を引き起こし易くなり、基板上に作成したデバイスの歩留りが悪化してしまう。

このようなシリコン半導体基板の製造方法としては、CZ法により上述の条件を満足する基板が得られる製造方法であれば良く、特に限定するものではない。

周知のごとく、CZ法は、代表的には石英製である坩堝内に収容された多結晶シリコンおよび必要に応じて添加されるドーパント等からなる原料を、加熱融解させて、シリコン融液を調製し、この融液中に、シリコン単結晶からなる種結晶を一旦浸漬して引き上げ、種結晶の後端にシリコン単結晶を成長させるものである。育成されるシリコン単結晶は、成長開始直後に、一旦径を絞って無転位化された後、引き上げ速度および／または融液温度を漸次低下させて所望の直径まで拡張し、その後この所望径を維持しながら所望重量ないし所望長となるまで育成を続ける。さらに本発明において、このようなシリコン単結晶を製造するためのCZ法としては、通常のCZ法のみならず、例えば、磁場印加CZ法等の従来知られる種々の付加的要件を付したCZ法を用いることも可能である。また引き上げ時における結晶冷却条件を所望のものとするために、従来知られる各種冷却装置、保温装置、加熱装置等を用いること、またその他、口径制御技術、温度分布制御技術、融液流動制御技術、雰囲気制御技術等のCZ法における公知の各種応用技術が、本発明の範囲および精神を逸脱しない限りにおいて適用可能であることが、当業者には容易に理解されよう。

また単結晶の引き上げ速度、単結晶および坩堝の回転速度、雰囲気ガスおよび圧力、印加磁場等の各種条件についても特に限定されるものではない。あくまで参考のために、製造条件の代表的な一例を示すと、単結晶引上速度は1.0～2.0mm/分程度、単結晶回転速度は0.1～30rpm、坩堝回転速度は0.1～30rpm程度（なお、単結晶と坩堝は逆回転）、雰囲気ガスはArガスで流量は50～300リットル/分程度、炉内圧力は20～70Torr程度、磁場印加については、必要に応じて、横磁場、縦磁場、カスプ磁場が適用可能で、磁場強度は0～4000ガウス程度であるが、上記のごとく、本発明はこのような

製造条件に何ら限定されるものではない。

しかしながら、生産性良く効率的に本発明のシリコン半導体基板を製造するためには、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以上 $1.5 \times 10^{19} \text{ atoms/cm}^3$ 以下の窒素を含有するシリコン融液を用いてCZ
5 法により育成したシリコン単結晶から得たシリコン半導体基板を、 1000°C 以上 1300°C 以下の温度で1時間以上熱処理することが望ましい。シリコンの単結晶成長の際の窒素の添加は、原料溶解中に窒素ガスを流す方法、あるいは窒化物をCVD法等によって堆積させたシリコンウェハを原料溶解中に混入させる方法等がある。凝固後の結晶中に取り
10 込まれる窒素の偏析係数は文献 W. Zulehner and D. Huber; Crystals 8 -Growth, Properties, and Applications-, p.28 (Springer-Verlag, New York, 1982)に示されるように、 7×10^{-4} であり、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以上 $1.5 \times 10^{19} \text{ atoms/cm}^3$ 以下の窒素を含有するシリコン融液を用いれば $1 \times 10^{13} \text{ atoms/cm}^3$
15 以上 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下の窒素を含有した結晶を育成し得る。

また、CZ法で結晶を育成する際、引上速度を $V (\text{mm/min})$ とし、シリコン融点から 1300°C までの温度範囲における引き上げ軸方向の結晶内温度勾配の平均値を $G (^\circ\text{C/mm})$ とするとき、 V/G 値を
20 $0.2 (\text{mm}^2 / ^\circ\text{Cmin})$ 以上の条件のもとで、窒素を $1 \times 10^{18} \text{ atoms/cm}^3$ 以上 $1.5 \times 10^{19} \text{ atoms/cm}^3$ 以下含有するシリコン融液より育成し（通常の引き上げ炉ではこれは引上速度約 1.5 mm/min 以上で、結晶中の窒素濃度が $1 \times 10^{13} \text{ atoms/cm}^3$ 以上 $1 \times 10^{18} \text{ atoms/cm}^3$ に対応する）、その結
25 晶から作成した半導体基板を用いることにより、表面無欠陥領域（DZ層）の深さを $1 \mu\text{m}$ 以上より深くすることができる。

上記の様に結晶中に窒素を含有した結晶は、酸素析出物が発生しているため、ウエハ表面の酸素を外方拡散させるだけで欠陥をほぼ完全に消滅させることができる。また変容した空孔欠陥は不安定な形態を持っており、熱処理により容易に消滅する。それに対し、従来の結晶は空孔欠陥を消滅させなければならず、その消滅にはシリコンの点欠陥の吸収放出及び結晶中の酸素の析出・放出が複雑にからむためその熱処理パターンは複雑になり、熱処理温度も1200℃程度の高温が必要であり、また雰囲気として水素などの危険なガスを用いないとより完全に消滅させることはできない。本発明の熱処理温度に関しては1000℃以上1300℃以下、望ましくは1100℃以上1200℃以下が適当である。温度が低いと酸素の外方拡散に多大の時間を要し、温度が高すぎると結晶中の熱平衡酸素固溶度が上がり酸素の外方拡散が起きなくなる。また、1150℃以上では高温になればなるほど基板表面の面荒れの問題が生じる。また一般的に、熱処理炉を高温で稼働させる際には予期しない炉体の汚染が生じやすくなるため、その危険性を減少させるためには熱処理温度を低くできることが望ましい。従って、必要なDZ層の深さおよび経済的な観点からの熱処理時間の許容時間を勘案しながら、表記の温度範囲でできるだけ低い温度で熱処理することが望ましい。

また、本発明のウエハにおいて内部の酸素析出物は熱処理により成長するため、熱処理ウエハは内部に高密度のゲッタリング層を持つことができる。通常のこの様な表面にDZ層を持ち内部に高密度のゲッタリング層を持つ、いわゆるIGウエハは3段の熱処理（酸素の外方拡散+酸素析出核の形成+酸素析出物の形成）によってのみ作成することができるが、本発明の製造方法を用いれば、通常のIGウエハよりもより完全性が高いDZ層を持ちかつ内部に高密度のゲッタリング層を持つウエハを一回の熱処理で作成することが可能である。

熱処理雰囲気としてはウエハ表面の酸素濃度を効果的に低減でき、その結果窒素添加により発生した板状析出物を容易に消滅させることができる非酸化性雰囲気が好ましい。非酸化性ガスとしては、経済性の観点からアルゴンガスが望ましい。含有不純物純度、特にガス中の不純物酸素の量を減らすという点ではヘリウムガスを用いる利点があるが、経済性および、ヘリウムガスの大きな熱伝導性に由来する熱処理炉の取り扱いの難しさの等の問題がある。他の希ガス（ネオン、キセノンなど）も、使用は可能であるが、やはりアルゴンに比べ価格が高い。窒素ガスは基板表面に窒化物を形成するため不適當である。水素などの還元性雰囲気もアルゴンガスと同等の効果を持つため使用することが可能であるが、取り扱いの難しさ、特に爆発の危険性があることから、必ずしも適當であるとは言えない。

さらに付記すべきは、熱処理中に混入する不純物の量をできる限り減らす必要があることである。この点に関しては特願平 9-297158 号で指摘しているとおりである。また、これには不純物を低減することにより、表層の結晶の完全性をより上げることができることを指摘しており、この効果を用いて熱処理前に結晶表面に存在した COP ピットを平滑化することが可能である。

参考のために、特願平 9-297158 号の関連する記載内容を要約すれば次の通りである。なお、以下の内容は、関連のために本明細書に取り込まれる。

熱処理雰囲気中の不純物濃度としては不純物含有量が 5 ppm 以下であることが効果的に COP 等の結晶欠陥を低減するために必要である。代表的な不純物としては水分、酸素、窒素などが挙げられる。これら不純物含有量が 5 ppm より多いと、結晶欠陥の低減が十分に行われな

ガス自身の純度を上げて、実際の炉の操業上では半導体基板の炉内への挿入時に炉口から空気を巻き込み不純物濃度が増加する場合が一般的であるため、この防止のために炉口にパージボックスもしくはロードロック室を設けた装置を用い、炉内への基板挿入前に炉前の雰囲気の不純物 5 ppm以下の非酸化性ガス、望ましくはアルゴンガス雰囲気にする必要がある。以上のような欠陥の低減効果は以下のような作用のためと推定される。即ち、非酸化性ガス雰囲気中の熱処理により基板表面の酸素濃度を下げることができる。表面の酸素濃度の低下に伴い、DZ層内に含まれている酸素析出物は溶出し消滅する。COPと呼ばれる結晶内部の空隙欠陥はDZ層の酸素濃度の低下により空隙欠陥内表面を安定化していた酸素が無くなり、表面が不安定化し、シリコン原子の拡散により空隙欠陥が消滅する。表面の酸素濃度は非酸化性ガス中の不純物、特に酸素や水分の量を下げることにより大きく低下するため、非酸化性ガスの純度を上げることにより酸素析出物やCOP等の結晶欠陥を大きく低減することができる。

雰囲気ガスとして非酸化性雰囲気ではなく、酸素を0.01vol%以上100vol%以下含む雰囲気を用いることもできるが、この場合は表面の再研磨が必要である。酸素を混合させるメリットとしては前節で指摘した、熱処理中に混入する水分などの不純物の管理をゆるめることができることが挙げられる。具体的な雰囲気としては、アルゴンなどの不活性ガス雰囲気中に酸素を混合したガスが用いられる。混合させる酸素の量としては数%が望ましいが、100vol%酸素ガスを用いることも可能である。混合量が0.01vol%未満であると、雰囲気ガスへの水分などの不純物の混入を厳密に管理せねばならなくなり、酸素を混合させるメリットが無くなる。熱処理後のウエハ表面には、熱処理中に発生した酸化膜により結晶欠陥の痕が、化学エッチングのビットの

ようにウエハ表面に発生するため、表面の再研磨が必要である。欠陥痕を完全に除去するためには表面を $0.5\text{ }\mu\text{m}$ 以上研磨する必要がある。また、再研磨量が $1.0\text{ }\mu\text{m}$ より大きいと、直径換算で $0.1\text{ }\mu\text{m}$ 以上の結晶欠陥の密度が $10^4\text{ 個}/\text{cm}^3$ 以下である表面無欠陥層の厚みを $1\text{ }\mu\text{m}$ 以上とすることが困難である。

以上のように、結晶育成の際に窒素を含有させた結晶を熱処理することにより、従来よりも単純、安全かつプロセス汚染の可能性が少ない熱処理条件で、従来の熱処理ウエハと同等以上の欠陥密度の低減、従来以上の深さのDZ層を得ることができる。

10 次に、第2の観点に係る本発明のエピタキシャルシリコン基板について詳述する。

この第2の観点に係る本発明の第1の態様のシリコン半導体基板は、窒素含有量が $1.0 \times 10^{13}\text{ atoms}/\text{cm}^3$ 以上 $1.0 \times 10^{16}\text{ atoms}/\text{cm}^3$ 以下のシリコンウエハをサブストレートウエハとしその表面に、エピタキシャル法によりシリコン単結晶層を堆積してなるシリコン半導体基板である。

シリコンウエハの電気的特性の変化やデバイス熱処理時の積層欠陥などの欠陥発生を起こすことなく、ウエハ表面の微小ピットの発生を抑制するためには、シリコンウエハ中の窒素含有量を $1.0 \times 10^{13}\text{ atoms}/\text{cm}^3$ 以上 $1.0 \times 10^{16}\text{ atoms}/\text{cm}^3$ 以下とする必要がある。そして、このようなシリコンウエハをサブストレートウエハとしその表面にエピタキシャル法によりシリコン単結晶層を堆積することにより、エピタキシャル層中やエピタキシャル層と該サブストレートウエハの界面近傍での微小欠陥や空孔欠陥の発生を抑制するとともに、ウエハ内部に適度な結晶欠陥を有しゲッターリング能力を増強するシリコン半導体基板となる。シリコンウエハ中の窒素含有量が、 $1.0 \times 10^{13}\text{ atoms}/\text{cm}^3$ 未満ではウ

エハ表面の微小ピットの発生を抑制できず、 $1.0 \times 10^{16} \text{atoms/cm}^3$ 超では、キャリアライフタイムや抵抗率などの電気的特性が変化したり積層欠陥が発生したりして、エピタキシャル層を堆積しても良好なシリコン半導体基板を得ることができない。なお、ウェハ中の窒素含有量は、

5 上記したようにSIMSを用いることにより測定できる。

第2の観点に係る本発明の第2の態様のシリコン半導体基板は、酸素含有量が $1.0 \times 10^{17} \text{atoms/cm}^3$ 以上のシリコンウェハをサブストレートウェハとしその表面にエピタキシャル法によりシリコン単結晶層を堆積してなるシリコン半導体基板であって、少なくとも前記サブストレー

10 トウェハとエピタキシャル法により堆積したシリコン単結晶層の界面から深さ $1 \mu\text{m}$ までの領域において、直径換算で $0.1 \mu\text{m}$ 以上の結晶欠陥の密度が $5 \times 10^4 \text{個/cm}^3$ 以下であることを特徴とするシリコン半導体基板である。

酸素濃度を $1.0 \times 10^{17} \text{atoms/cm}^3$ 以上とするシリコン基板の製造

15 方法は、通常は石英ルツボにより原料シリコン融液を支持し結晶成長させるCZ法により製造可能である。すなわち、原料シリコン融液を支持している石英ルツボから酸素がシリコン融液中に溶解し単結晶凝固の際に結晶中に取り込まれる。所望の酸素濃度は、ルツボ回転数や融液加熱条件、雰囲気ガス流量や引上炉内圧力、あるいは磁場印加強度で調整可

20 能である。シリコンウェハの酸素含有量が $1.0 \times 10^{17} \text{atoms/cm}^3$ 未満ではシリコンウェハの機械的強度やウェハ内部でのIG能力が低下することから、酸素含有量が $1.0 \times 10^{17} \text{atoms/cm}^3$ 以上のシリコンウェハが必要である。ところで、シリコンウェハ中に酸素を含有すると、各種結晶欠陥が誘起されやすくなる。そこで、エピタキシャル層の品質

25 に及ぼすシリコンウェハ中の結晶欠陥の影響を調べたところ、エピタキシャル層が堆積されるサブストレートとして用いられるシリコンウェハ

の表面から深さ $1\text{ }\mu\text{m}$ までの領域での結晶欠陥の存在形態が重要であることを見出した。直径換算で $0.1\text{ }\mu\text{m}$ 以上の結晶欠陥が多量に存在すると、エピタキシャル堆積工程やデバイス製造工程の熱処理工程を経ても残留し、エピタキシャル層内に欠陥を発生させる起点となり易いものである。サイズが $0.1\text{ }\mu\text{m}$ 以上の結晶欠陥は主として空孔欠陥であるが、従来のシリコンウェハでは該空孔欠陥は、 $10^6\text{ 個}/\text{cm}^3$ 程度かそれ以上存在していた。ところが、前記領域での $0.1\text{ }\mu\text{m}$ 以上の結晶欠陥の密度が $5 \times 10^4\text{ 個}/\text{cm}^3$ 以下であれば、エピタキシャル堆積工程における前熱処理としての熱処理工程で上記欠陥を収縮、拡散消滅して無害化でき、エピタキシャル層内に欠陥を発生させないシリコン半導体基板を得ることができる。前記領域で $0.1\text{ }\mu\text{m}$ 以上の結晶欠陥密度が $5 \times 10^4\text{ 個}/\text{cm}^3$ 超では、エピタキシャル層内に欠陥を発生させ、特にエピタキシャル層が $1\text{ }\mu\text{m}$ 程度と薄膜の場合、デバイス製造工程でのパターン不良の原因となったり、酸化膜絶縁破壊特性や素子分離特性等に重大な影響を及ぼし、歩留り低下等の問題を生じる。

第3の態様に係るシリコン半導体基板は、酸素含有量が $1.0 \times 10^{17}\text{ atoms}/\text{cm}^3$ 以上のシリコンウェハをサブストレートウェハとしその表面にエピタキシャル法によりシリコン単結晶層を堆積してなるシリコン半導体基板であって、少なくとも前記サブストレートウェハとエピタキシャル法により堆積したシリコン単結晶層の界面から深さ $1\text{ }\mu\text{m}$ までの領域において、直径換算で 20 nm 以上の結晶欠陥の密度が $5 \times 10^5\text{ 個}/\text{cm}^3$ 以下であることを特徴とするシリコン半導体基板である。

直径換算で 20 nm 以上の結晶欠陥は、前述の空孔欠陥の微小なもの他に、微小酸素析出物も含まれる。このような欠陥が大量にシリコンウェハ表面及び表層領域に存在すると、エピタキシャル成長時にサブストレートウェハとして用いられるシリコンウェハからエピタキシャル層

内に該結晶欠陥が伝播、転写されたり、あるいは該結晶欠陥を起点にエ
ピタキシャル層内に新たな欠陥が誘起されたりする原因となる。従来の
サブストレートウェハとして用いられるシリコンウェハではこのような
微小欠陥は、 10^7 個/ cm^3 程度かそれ以上存在していたが、少なく
5 ともサブストレートウェハとして用いられるシリコンウェハ表面から深
さ $1\text{ }\mu\text{m}$ までの領域において、直径換算で 20 nm 以上の結晶欠陥の密
度が 5×10^5 個/ cm^3 以下であれば、エピタキシャル堆積工程にお
ける表面清浄化処理およびエピタキシャル層堆積処理の高温熱処理工程
で上記欠陥を分解消滅して無害化でき、エピタキシャル層内に新たな欠
10 陥を誘起させないシリコン半導体基板を得ることができる。前記領域に
おいて、直径換算で 20 nm 以上の結晶欠陥の密度が 5×10^5 個/ cm^3
 cm^3 超では、熱処理で分解する欠陥量が多すぎるため、分解の結果生成
する原子空孔や酸素不純物がエピタキシャル層内に拡散残存し、そのた
めデバイス製造工程における熱処理時に新たな結晶欠陥をエピタキシ
15 ャル層内に誘起、形成してデバイス製造歩留りの低下原因となる。

さらに、第4の態様においては、第2の態様と第3の態様の特徴を組
み合わせたもの、すなわち、酸素含有量が $1.0 \times 10^{17} \text{ atoms/cm}^3$ 以
上のシリコンウェハをサブストレートウェハとしその表面にエピタキシ
ャル法によりシリコン単結晶層を堆積してなるシリコン半導体基板であ
20 って、少なくとも前記サブストレートウェハとエピタキシャル法により
堆積したシリコン単結晶層の界面から深さ $1\text{ }\mu\text{m}$ までの領域において、
直径換算で $0.1\text{ }\mu\text{m}$ 以上の結晶欠陥の密度が 5×10^4 個/ cm^3 以
下で、かつ直径換算で 20 nm 以上の結晶欠陥の密度が 5×10^5 個/
 cm^3 以下であることを特徴とする半導体基板とすることにより、欠陥
25 の発生や誘起が起こらない無欠陥エピタキシャル層を有するシリコン半
導体基板とすることができる。

また、第5の態様は、第2～4の態様において、エピタキシャル法により単結晶層を堆積するサブストレートウェハとして用いられるシリコンウェハ中にさらに窒素を $1.0 \times 10^{13} \text{atoms/cm}^3$ 以上 $1.0 \times 10^{16} \text{atoms/cm}^3$ 以下含有してなるシリコン半導体基板である。

- 5 第1の態様で説明したようにシリコン単結晶中の窒素は、所定量含有させることにより、単結晶育成時の点欠陥濃度及び点欠陥凝集挙動を変化させる作用を有し、単結晶中の空孔欠陥形成を抑制する効果と基板強度の向上効果を発現するものである。従って、このような窒素含有シリコンウェハをエピタキシャル法により単結晶を堆積するサブストレート
10 ウェハとして用いることで、上述したサブストレートシリコンウェハ中の各種欠陥を低減しやすくして、より完全な無欠陥エピタキシャル層を有するシリコン半導体基板を提供できる。

- さらに、第6の態様は、第1～5の態様でのサブストレートシリコンウェハの厚み中心領域において、直径換算で20nm以上の結晶欠陥の
15 密度が 1×10^8 個/ cm^3 以上であるシリコン半導体基板である。なお、該サブストレートシリコンウェハの厚み中心領域とは、該サブストレートウェハ表面から1 μm より深い、好ましくは20 μm 以上内部の領域を指すものである。該サブストレートウェハ内部領域に直径換算で20nm以上の結晶欠陥を 1×10^8 個/ cm^3 以上存在させることに
20 より、デバイスの高集積化に伴うプロセス汚染の増加に対して有効なゲッタリング能力を効果的に付与することができ、デバイス製造歩留りの良好なシリコン半導体基板を提供することができる。

- なお、上記した第1～第6の態様は、シリコンウェハの比抵抗の値の如何に関わらず成立するものであり、上記に示したようなそれぞれの条
25 件を満たすことによって、上記所望の発揮できるものである。

以下に、上述のようなシリコン半導体基板について生産性良く効率的

に製造する方法を述べる。但し、本発明の第2の観点のシリコン半導体の製造方法において、エピタキシャル法により単結晶を堆積するサブストレートウェハの製造方法は、前述した第1の観点に係るシリコン半導体基板の場合と同様に、CZ法により上述の条件を満足するウェハが得られる製造方法で良く、特に限定するものではない。

すなわち、第2の観点に係る本発明の第1の態様のシリコン半導体基板の製造方法としては、 $1.0 \times 10^{16} \text{atoms/cm}^3$ 以上 $1.5 \times 10^{19} \text{atoms/cm}^3$ 以下の窒素を含有するシリコン融液を用いてCZ法により育成したシリコン単結晶から得たシリコンウェハをサブストレートウェハとしその表面に、エピタキシャル法によりシリコン単結晶層を堆積するシリコン半導体基板の製造方法である。

この方法の実施においては $1.0 \times 10^{16} \text{atoms/cm}^3$ 以上 $1.5 \times 10^{19} \text{atoms/cm}^3$ 以下の窒素を含有するシリコン融液を用いてCZ法により育成したシリコン単結晶インゴットをスライス、鏡面研磨して得られるシリコンウェハをサブストレートウェハとしその表層にシリコン単結晶層をエピタキシャル成長させる。シリコンの単結晶成長の際の窒素の添加方法、凝固後の結晶中に取り込まれる窒素の偏析係数については上述した通りであり、前述の窒素濃度の融液を用いて結晶育成することにより窒素を $5.0 \times 10^{13} \text{atoms/cm}^3$ 以上 $1.0 \times 10^{16} \text{atoms/cm}^3$ 以下含有するシリコンウェハの製造が可能となる。また、エピタキシャル成長法は、気相成長装置で行うが、通常、気相成長前に、水素ガス雰囲気内で所定（一般には 900°C から 1200°C の範囲内の一定温度）の温度域まで昇温し、引き続き塩化水素を含むガス等によるエッチングを数分行い、表面コンタミネーション除去及びウェハ表面の活性化を行った後、シラン系ガスを用いてウェハ表面にエピタキシャル薄膜を成長させるものである。

窒素を $1.0 \times 10^{13} \text{ atoms/cm}^3$ 以上 $1.0 \times 10^{16} \text{ atoms/cm}^3$ 以下の濃度で含ませるように成長させたシリコン結晶は、第1の観点に係る発明で説明したとおり、窒素が結晶育成時の点欠陥濃度及び点欠陥の凝集挙動を変化させ、結晶中にCOPに代表される $0.1 \mu\text{m}$ 程度かそれ以上の空孔欠陥を形成させない。通常、結晶成長時に結晶温度が $1150^\circ\text{C} \sim 1050^\circ\text{C}$ 程度の範囲の比較的高温で空孔欠陥を形成するが、窒素を所定量含有させると窒素が原子空孔の凝集を抑制することで該空孔欠陥を低減化する。一方、窒素は $1000^\circ\text{C} \sim 450^\circ\text{C}$ の低温領域での酸素析出物の核形成を助長し、高密度に微細で分散化させた酸素析出物を発生させる。特に、窒素含有のシリコンウェハ中の微小酸素析出物の形態は、高温で不安定な析出物を形成し、前述のエピタキシャル成長工程における前熱処理工程である水素処理工程やエピタキシャル単結晶堆積工程において、酸素の外方拡散効果によってシリコンウェハ表面領域に存在するものは容易に分解・収縮する。その結果、サイズが直径換算で 20 nm 以上の微小欠陥が $5 \times 10^5 \text{ 個/cm}^3$ 以下であるような領域がエピタキシャル層のみならずエピタキシャル層堆積前のサブストレートシリコンウェハ表面から少なくとも深さ $1 \mu\text{m}$ までの領域において容易に形成する。一方、基板内部の微細な酸素析出物は、基板表面近傍に存在するものとは異なり、酸素が外方拡散して分解消滅することなくエピタキシャル層堆積工程を経ても完全には溶解消滅せず $1 \times 10^8 \text{ 個/cm}^3$ 以上で残留し、デバイス製造工程の熱処理において成長し、IG作用に有効な結晶欠陥を誘起させ、従来に比べて顕著にIG効果を増強させたシリコン半導体基板を製造することが可能となる。

次に、第2の態様のシリコン半導体基板の製造方法は、CZ法によりシリコン単結晶引上育成中にシリコン単結晶を凝固温度から 800°C の結晶温度範囲を 2.0°C/分 以上の冷却速度で冷却し製造したシリコン

ウェハをエピタキシャル単結晶成長用サブストレートウェハとして使用する方法である。

シリコン単結晶引上成長中において、凝固温度から800℃の温度領域を2.0℃/分以上で急冷させることは、点欠陥の凝集を抑制し空孔欠陥を低減化させる。また、当該温度領域における酸素析出物の核形成が抑制し、すなわち高温で安定な酸素析出物の発生を抑制する。その結果、エピタキシャル成長工程においてサブストレートシリコンウェハ表層領域（すなわち、エピタキシャル層とサブストレートウェハの界面領域）にはサイズは直径換算で0.1μm以上の空孔欠陥を低減化させるとともにサイズが20nm以上の微小欠陥も低減化させることが可能である。

また、第3の態様のシリコン半導体基板の製造方法は、CZ法によりシリコン単結晶引上育成中にシリコン単結晶を800℃から400℃の結晶温度範囲を1.0℃/分以上の冷却速度で冷却し製造したシリコンウェハをエピタキシャル単結晶成長用サブストレートウェハとして使用する方法である。

シリコン単結晶引上成長中において、800℃から400℃の温度領域を1.0℃/分以上で急冷させることは、空孔欠陥については空孔欠陥が内部酸化され安定な酸化物に変化することを防止し、その結果、空孔欠陥は熱処理に対して不安定化させる。一方、酸素析出物は核形成速度は抑制されるが核密度を増加させ微細・分散化を促進する。このようにして製造したシリコンウェハをサブストレートウェハとして使用しエピタキシャル成長することによって、エピタキシャル成長工程の高温処理工程においてシリコンウェハ表層領域（すなわち、エピタキシャル層とサブストレートウェハの界面領域）にはサイズは直径換算で0.1μm以上の空孔欠陥を低減化させるとともにサイズが20nm以上の微小

欠陥も低減化させ、一方、シリコン基板内部には I G 能力を増強させる高密度な微小欠陥を形成するシリコン半導体基板を製造することができる。

第 4 の態様のシリコン半導体基板の製造方法は、凝固温度から 800 °C の温度領域の急冷と 800 °C から 400 °C の急冷の両方の効果を組み合わせたもの、すなわち、CZ 法によりシリコン単結晶引上育成中にシリコン単結晶を 800 °C から 400 °C の結晶温度範囲を 1.0 °C / 分以上の冷却速度で冷却し、引き続き 800 °C から 400 °C の結晶温度範囲を 1.0 °C / 分以上の冷却速度で冷却し製造したシリコンウェハをエピタキシャル単結晶成長用サブストレートウェハとして利用するものである。サブストレートシリコンウェハ表層領域（すなわち、エピタキシャル層とサブストレートウェハの界面領域）においては空孔欠陥や酸素析出物をさらに微細化・不安定化させエピタキシャル工程において低減効果を示すことになり、一方、サブストレートシリコンウェハ内部にはデバイス製造工程において I G 効果を増強する高密度な結晶欠陥を発生させることになる。単結晶シリコンインゴットを引上成長中に冷却効果を高めることは、通常、凝固界面での冷却能力を高めることになり結晶成長速度を増加し結晶生産性が向上する効果ももたらし、低コスト化させる効果もある。

第 5 の態様のシリコン半導体基板の製造方法は、第 1 の態様に係る窒素添加技術と第 2 ～第 4 の態様に係る引上成長中のシリコン結晶の冷却条件を変化させる技術を組み合わせたサブストレートシリコンウェハの製造方法であり、窒素添加の効果と引上中の結晶急冷効果の相乗効果により、より顕著にエピタキシャル成長前のサブストレートシリコンウェハ表面の結晶欠陥を消失しやすくするとともにサブストレートシリコンウェハ内部の結晶欠陥密度をさらに増加させる効果をもたらすエピタキ

シャルシリコン基板製造方法である。

- 第6の態様のシリコン半導体基板の製造方法は、上記に述べてきた窒素添加サブストレートウェハや窒素および酸素添加サブストレートウェハ、さらには結晶引上中の結晶冷却条件を変化させたサブストレートウェハ、およびそれらの組合せにより得られるサブストレートウェハに対し、より完全にサブストレートウェハ表面の無欠陥化を促進するためにエピタキシャル成長前に高温熱処理を施し、表面と内部の結晶欠陥密度の差を顕著にさせる方法である。熱処理温度は1000℃以上1300℃以下、望ましくは1100℃以上1200℃以下が適当である。温度が低いと酸素や空孔の外方拡散に多大の時間を要し、温度が高すぎると結晶中の熱平衡酸素固溶度あるいは熱平衡空孔固溶度が上がり酸素や空孔の外方拡散が起きにくくなる。また、1150℃以上では高温になればなるほどサブストレートウェハ表面の面荒れの問題が生じる。また一般的に、熱処理炉を高温で稼働させる際には予期しない炉体の汚染が生じやすくなるため、その危険性を減少させるためには熱処理温度を低くできることが望ましい。従って、エピタキシャル成長前のサブストレートウェハ表面領域に必要な無欠陥層の深さおよび経済的な観点からの熱処理時間の許容時間を勘案しながら、上記の温度範囲でできるだけ低い温度で熱処理することが望ましい。
- われわれの検討結果に基づくと、第2の観点に係る本発明の前記第1～第6の態様の製造方法によって得られた、エピタキシャル法による単結晶層成長用のサブストレートシリコンウェハに対しては、前述の温度条件で5分以上熱処理することでほぼ完全に無欠陥な領域がサブストレートシリコンウェハ表層部に形成できる。熱処理方法としては、酸化性雰囲気でもよいが、エピタキシャル層堆積のためには不要な酸化膜の形成を排除するために非酸化性ガス雰囲気中で熱処理することが好ましい。

以上のように、結晶育成の際に窒素を適度に制御して含有させた結晶、さらに酸素を添加させた結晶、あるいは結晶育成の際の結晶冷却条件を制御した結晶、およびそれらを組み合わせた結晶、また、前記各結晶に対してエピタキシャル成長前に適度な熱処理を施した結晶をエピタキシャル用サブストレートウェハとして用いてエピタキシャルシリコン単結晶基板を製造することによって、従来よりも単純・容易すなわち従来知られているようなエピタキシャル層堆積前に多段あるいは複雑な熱処理を施す必要なく低コストで、エピタキシャル層内およびエピタキシャル層／基板界面において欠陥発生がなく従来以上に高品質化し、基板内部にはゲッタリング能力を十分に有するシリコン半導体基板を得ることができる。

本発明の窒素含有のサブストレートシリコンウェハにエピタキシャル層を堆積したシリコン半導体基板の概念図を図1に示す。図1において、IG層1d、欠陥密度漸次変化領域1c及び無欠陥領域1bからなる窒素添加サブストレートシリコンウェハ1a上に、エピタキシャル層／サブストレートウェハ界面2を介してエピタキシャル層3が堆積している。また、本発明の結晶引上時に特定の冷却条件で製造したシリコンウェハ（窒素無添加）をサブストレートウェハとしその表面にエピタキシャル層を堆積したシリコン半導体基板の概念図を図2に示す。図2において、IG層1d、欠陥密度漸次変化領域1c及び無欠陥領域1bからなるサブストレートシリコンウェハ1上に、エピタキシャル層／サブストレートウェハ界面2を介してエピタキシャル層3が堆積している。

実施例

以下、本発明を実施例によりさらに具体的に説明するが、本発明はこれらの実施例によって何ら限定されるものではない。

参考例1～8

参考例としてチョコラルスキー法により以下の8つの結晶を引き上げた。酸素濃度は約 $6.5 \sim 8.5 \times 10^{17} \text{ atoms/cm}^3$ (赤外吸収法により JEIDA の換算係数を用いて測定) であった。いずれの結晶も約 40 kg の原料を溶解し、直径 155 mm の約 30 kg のインゴットを作成し、p 型 $10 \Omega \text{ cm}$ の結晶を得た。窒素の添加はノンドープのシリコン結晶に CVD 法により窒化膜を形成したウエハを、原料の溶解時に同時に溶かすことにより行った。

- 1) 窒素添加を行わず引上速度 1 mm/min で結晶を育成した。
- 2) 原料の融液中に窒素を $7 \times 10^{15} \text{ atoms/cm}^3$ 添加し、
10 引上速度 1 mm/min で結晶を育成した。このときの V/G は $0.15 (\text{mm}^2 / ^\circ\text{Cmin})$ である。結晶の窒素濃度を SIMS で測定したが、窒素は検出されず ($1 \times 10^{14} \text{ atoms/cm}^3$ 以下)、平衡偏析係数から窒素の濃度を計算すると、結晶中に約 $5 \times 10^{12} \text{ atoms/cm}^3$ となった。
- 15 3) 原料の融液中に窒素を $5 \times 10^{16} \text{ atoms/cm}^3$ 添加し、引上速度 1 mm/min で結晶を育成した。このときの V/G は $0.15 (\text{mm}^2 / ^\circ\text{Cmin})$ である。結晶の窒素濃度を SIMS で測定したが、窒素は検出されず ($1 \times 10^{14} \text{ atoms/cm}^3$ 以下)、平衡偏析係数から窒素の濃度を計算すると、結晶中に約 $4 \times 10^{13} \text{ atoms/cm}^3$ となった。
- 20 4) 原料の融液中に窒素を $3 \times 10^{17} \text{ atoms/cm}^3$ 添加し、引上速度 1 mm/min で結晶を育成した。このときの V/G は $0.15 (\text{mm}^2 / ^\circ\text{Cmin})$ である。平衡偏析係数から窒素の濃度を計算すると、結晶中に約 $2 \times 10^{14} \text{ atoms/cm}^3$ となった。結晶の
25 窒素濃度を SIMS で測定すると、窒素を定量することはできなかったが、窒素のバックグラウンドレベルの 2 倍以上の強度で局所的な窒素信

号の増大が認められた。

5) 原料の融液中に窒素を $5 \times 10^{17} \text{ atoms/cm}^3$ 添加し、
引上速度 1 mm/min で結晶を育成した。このときの V/G は 0.15 ($\text{mm}^2 / ^\circ\text{Cmin}$) である。結晶の窒素濃度を SIMS で測定し
5 た結果、結晶中の窒素濃度は約 $5 \times 10^{14} \text{ atoms/cm}^3$ であった。またこの SIMS 測定の際、平均的な窒素の信号に対して、2 倍以上に局所的に増加する窒素濃度の増大が認められた。

6) 原料の融液中に窒素を $5 \times 10^{17} \text{ atoms/cm}^3$ 添加し、
引上速度 2 mm/min で結晶を育成した。このときの V/G は 0.3
10 ($\text{mm}^2 / ^\circ\text{Cmin}$) である。結晶の窒素濃度を SIMS で測定した結果、結晶中の窒素濃度は約 $5 \times 10^{14} \text{ atoms/cm}^3$ であった。またこの SIMS 測定の際、平均的な窒素の信号に対して、2 倍以上に局所的に増加する窒素濃度の増大が認められた。

7) 原料の融液中に窒素を $5 \times 10^{18} \text{ atoms/cm}^3$ 添加し、
15 引上速度 1 mm/min で結晶を育成した。このときの V/G は 0.15 ($\text{mm}^2 / ^\circ\text{Cmin}$) である。結晶の窒素濃度を SIMS で測定した結果、結晶中の窒素濃度は約 $5 \times 10^{15} \text{ atoms/cm}^3$ であった。またこの SIMS 測定の際、平均的な窒素の信号に対して、2 倍以上に局所的に増加する窒素濃度の増大が認められた。

20 8) 原料の融液中に窒素を $2 \times 10^{19} \text{ atoms/cm}^3$ 添加し、引上速度 1 mm/min で結晶を育成した。途中結晶がポリ化した
が、インゴットの上部から無転位の単結晶が得られた。結晶の窒素濃度を SIMS で測定した結果、結晶中の窒素濃度は約 $1.5 \times 10^{18} \text{ atoms/cm}^3$ であった。またこの SIMS 測定の際、平均的な窒素の
25 信号に対して、2 倍以上に局所的に増加する窒素濃度の増大が認められた。

以上の各結晶から作成したウエハのCOP密度を測定したところ表1のようになった。

実施例1

参考例5および参考例7のウエハを本発明の熱処理条件により処理を行った。800℃で炉内に挿入し、挿入後10℃/minで昇温し1100℃で8時間保持した後、-10℃/minで降温し800℃で基板を取り出した。熱処理に用いたガスはコールドエバポレーターにより供給されたアルゴンガスをユースポイントで純化装置により生成したガスを用いた。ガス中の不純物濃度は5ppm以下であった。このガスを上記熱処理を通して雰囲気として用いた。また基板の挿入時には炉前に設けられたバージボックスによりバージを行い、試料を待機させている炉前の雰囲気が不純物5ppm以下のアルゴン雰囲気になったことを確認した後、炉口を開け、基板を挿入した。

熱処理後の基板厚み中心の窒素濃度は、基板を劈開してSIMSで測定したところ、約 $5 \times 10^{14} \text{ atoms/cm}^3$ であった。

熱処理後の基板表面のDZ層の品質を評価するために、熱処理後の各基板表面に1000℃の乾燥酸素雰囲気で25nmの酸化膜を形成し、酸化膜耐圧を測定した。耐圧測定に用いた電極は20mm²のポリシリコン電極であり、判定電流は1μAである。結果を表3に示す。良品の割合を示す8MV以上の耐圧を示したいわゆるCモード破壊を示した酸化膜の割合は99%とほぼ全ての酸化膜が良品であり、熱処理を行わなかった場合の20%に比べ大幅な改善が認められた。また判定電流100mAで11MV以上の耐圧を示したものの割合は95%であった。

さらに熱処理後の欠陥密度を調べるため、改めて上記と同じ熱処理を行った基板を作成し、アンモニア過酸化水素水洗浄を繰り返して表面を合計0.1μmエッチングし、この際に増加した直径換算0.1μm以

上のCOPの数より欠陥密度を算出した。結果を表2に示す。熱処理後の表面のCOP密度は14個/ウェハであり、約0.1個/cm²であった。さらにアンモニア過酸化水素水洗浄を繰り返してもCOPの数は14個/ウェハであり、COPの増加は認められなかった。このことから、直径換算で0.1μm以上の結晶欠陥の密度は10³個/cm³未満であることがわかった。

このウェハのDZ層内の欠陥の密度を調べるため、この基板の表面を鏡面研磨により1μm研磨し、COPの測定を行った。鏡面研磨後には0.1μm以上のCOPは20個/ウェハであったが、アンモニア過酸化水素水洗浄を繰り返すことにより表面を0.1μmエッチングした後
10 0.1μm以上のCOPを測定すると25個/ウェハであり、直径換算で0.1μm以上の結晶欠陥の密度は約3×10³個/cm³であった。

この1μm研磨した状態での酸化膜耐圧を測るために、上記と同様な
15 酸化膜耐圧測定を行った。判定電流は1μAで8MV以上の耐圧を示した酸化膜の割合は95%と99%であり、判定電流100mAで11MV以上の耐圧を示したものの割合はいずれも92%であった。

さらに深いところのCOPの密度を測定するためにさらに2μm鏡面研磨を行い（元の表面から計3μm）、0.1μm以上のCOPの密度
20 を測定すると20個/ウェハであった。前節と同様に、アンモニア過酸化水素洗浄を繰り返し0.1μmエッチングした後COPを測定するとの70個/ウェハであった。このことから表面下3μmの直径換算で0.1μm以上の結晶欠陥の密度は3×10⁴個/cm³と見積もられた。

基板内部での欠陥密度を測定するために、赤外トモグラフにより基板
25 厚み中心の直径換算で0.2μm以上の欠陥の密度を測定したところ7×10⁶個/cm³であり、0.1μm以上の欠陥密度はさらに多くな

る。この基板の表面から深さ $0.1 \mu\text{m}$ における欠陥密度は 10^3 個 / cm^3 未満であることから、基板内部に比べ 1 % 以下の欠陥密度であることがわかった。

5 なお、このウエハは、基板内部においても積層欠陥等の別種の欠陥も認められず、高品質なシリコンウエハであることが確認された。

実施例 2

参考例 6 のウエハを本発明の熱処理条件により処理を行った。実施例 1 の熱処理と同等の熱処理を参考例 6 の結晶から作成したウエハに施した。熱処理後基板を劈開し SIMS により基板厚み中心の窒素濃度を測定したところ約 $5 \times 10^{14} \text{ atoms} / \text{cm}^3$ であった。

同様に熱処理を行ったウエハの表面の $0.1 \mu\text{m}$ 以上の COP を測定した（表 2）ところ 12 個 / ウエハであり、約 0.1 個 / cm^2 であった。さらにアンモニア過酸化水素水洗浄を繰り返し、表面を $0.1 \mu\text{m}$ エッチングした後測定を行っても数は変化せず 12 個 / ウエハであった。このことから、熱処理によりウエハ表面の直径換算で $0.1 \mu\text{m}$ 以上の結晶欠陥の密度は 1×10^3 個 / cm^3 未満であることがわかった。

実施例 1 と同様に熱処理後の酸化膜耐圧を調べた（表 3）ところ、判定電流 $1 \mu\text{A}$ で 8 MV 以上の割合が 99 % であり、判定電流 100 mA で 11 MV 以上の耐圧を示したものの割合は 95 % であった。

このウエハの DZ 層内の欠陥の密度を調べるため、この基板の表面を鏡面研磨により $1 \mu\text{m}$ 研磨し、COP の測定を行った。鏡面研磨後には $0.1 \mu\text{m}$ 以上の COP は 10 個 / ウエハであったが、アンモニア過酸化水素水洗浄を繰り返すことにより表面を $0.1 \mu\text{m}$ エッチングした後 $0.1 \mu\text{m}$ 以上の COP を測定すると 10 個 / ウエハであり、深さ $1 \mu\text{m}$ の領域でも直径換算で $0.1 \mu\text{m}$ 以上の結晶欠陥の密度は 1×10^3

個/cm³ 未満であった。

1 μm研磨の状態での酸化膜耐圧を調べたところ、判定電流 1 μA で 8 MV以上の割合が 99%であり、判定電流 100 mAで 11 MV以上の耐圧を示したものの割合は 95%であった。このことから、酸化膜耐
5 圧の観点からも熱処理後の最表面と深さ 1 μmでの結晶の状態がほぼ同等であることがわかった。

さらに、DZ内部の欠陥の状態を調べるために鏡面研磨によりさらに 2 μm（最初の表面より 3 μm）を研磨し、研磨後の 0.1 μm以上の COPを測定すると 16個/ウエハであった。アンモニア過酸化水素水
10 洗浄を繰り返し、表面を 0.1 μmエッチングした後測定を行うと 21 個/ウエハであり、直径換算で 0.1 μm以上の結晶欠陥の密度は 3×10^3 個/cm³ と見積もられた。また酸化膜耐圧の値は判定電流 1 μAで 8 MV以上の割合が 95%であり、判定電流 100 mAで 11 MV以上の耐圧を示したものの割合は 90%であった。従って、実施例 1
15 の結果と比較すると、結晶育成時の引上速度を速めることにより表面からより深くまで欠陥を消滅させることができることが示された。

基板内部での欠陥密度を測定するために、赤外トモグラフにより基板厚み中心の直径換算で 0.2 μm以上の欠陥の密度を測定したところ 9×10^8 個/cm³ であり、0.1 μm以上の欠陥密度はさらに多くな
20 る。この基板の表面から深さ 0.1 μmにおける欠陥密度は 1×10^3 個/cm³ 未満であることから、基板内部に比べ 1%以下の欠陥密度であることがわかった。

なお、このウエハは、実施例 1と同様に基板内部においても積層欠陥等の別種の欠陥も認められず、高品質なシリコンウエハであることが確
25 認された。

参考例 9

参考例6の結晶から作成したシリコン基板を800℃で炉内に挿入し、挿入後10℃/minで昇温し1100℃で8時間保持した後、-10℃/minで降温し800℃で基板を取り出した。但し、実施例1と異なり、挿入時以降の熱処理雰囲気は5%の酸素を含むアルゴン雰囲気とした。熱処理後の基板の厚み中心の窒素濃度を実施例1と同様に測定したところ約 $5 \times 10^{14} \text{ atoms/cm}^3$ であった。

熱処理後の基板表面のDZ層の品質を評価するために、上記と同様な酸化膜耐圧の測定を行った(表3)ところ、判定電流1μAでは8MV以上の耐圧を示した割合は90%であり、実施例1に記載の非酸化性雰囲気熱処理した場合に比べ劣っていた。また判定電流100mAで11MV以上の耐圧を示したものは17%であった。

熱処理後の0.1μm以上のCOPを調べるために、改めて上記と同じ熱処理を行った基板を作成した。熱処理後の表面のCOP密度は約6000個/ウェハであり、40個/cm²であった。さらに、アンモニア過酸化水素水洗浄を繰り返すことにより表面を0.1μmエッチングしたのち0.1μm以上のCOPを測定してもCOPの増加は誤差の範囲内であり、欠陥はほぼ消滅していると考えられるものの、繰り返し洗浄前でも存在していた6000個/ウェハのCOPのために正確なCOP体積密度を求めることはできなかった。

20 このように酸素を含む雰囲気熱処理を施したままの基板表面には、結晶欠陥痕が発生するため、十分な品質を確保できないことがわかる。

実施例3

参考例9で得られた基板について、表面の欠陥痕を取り除くため熱処理後表面を1μm鏡面研磨した基板を作成した。研磨後の表面の0.1μm以上のCOPは14個/ウェハであり、約0.1個/cm²であった。さらにアンモニア過酸化水素水洗浄を同様に繰り返してCOPの

体積密度を測定すると 1×10^3 個/cm³ であった (表2)。1 μ m 研磨後のウエハに作成した酸化膜の耐圧を調べた (表3) ところ、判定電流 1 μ A での 8 MV 以上の割合が 95%、100 mA で 11 MV 以上のものが 90% であった。

- 5 この熱処理後 1 μ m 研磨した基板の深さ方向の欠陥分布を調べるため、さらに、表面を 1 μ m 追加研磨をおこなった (熱処理前の基板表面から合計 2 μ m の研磨)。この基板の直径換算で 0.1 μ m 以上の結晶欠陥の密度をアンモニア過酸化水素水の繰り返し洗浄により測定すると、 9×10^3 個/cm³ であった。酸化膜の耐圧を調べたところ、判定電流 1 μ A での 8 MV 以上の割合が 90%、100 mA で 11 MV 以上のものが 85% であった。

- 基板内部での欠陥密度を測定するために、赤外トモグラフにより基板厚み中心の直径換算で 0.2 μ m 以上の欠陥の密度を測定したところ 9×10^4 個/cm³ であり、0.1 μ m 以上の欠陥密度はさらに多くなる。この基板の表面から深さ 0.1 μ m における欠陥密度は 1×10^3 個/cm³ であることから、基板内部に比べ 1% 以下の欠陥密度であることがわかった。

- 以上の結果から、熱処理後のウエハを 1 μ m 研磨して表面の COP を除去することにより、直径換算で 0.1 μ m 以上の結晶欠陥の密度が 1×10^4 個/cm³ 以下である無欠陥層の深さが 1 μ m 以上であるウエハが作成できることがわかった。

なお、このウエハも、基板内部において積層欠陥等の別種の欠陥も認められず、高品質なシリコンウエハであることが確認された。

参考例 10

- 25 実施例 3 の基板をさらに 1 μ m 研磨 (熱処理前の基板表面から 3 μ m) 後、同様に直径換算で 0.1 μ m 以上の結晶欠陥の密度を測定する

と 7×10^5 個/cm³ であり（表2）、酸化膜耐圧は判定電流 1 μ A での 8 MV 以上の割合が 75%、100 mA で 11 MV 以上のものが 30% であり（表3）、過剰な研磨を施すと、特性が劣化することになった。

5 比較例 1

参考例の結晶の酸化膜耐圧の特性を上記と同様な方法で評価した。その結果を表4に示す。

比較例 2

参考例 1、2 の結晶に対して実施例 1 の熱処理を行い、表面及び深さ
10 1 μ m、3 μ m の COP 密度及び酸化膜耐圧の測定した結果を表 5、6 に示す。いずれの場合も深さ 1 μ m での直径換算で 0.1 μ m 以上の結晶欠陥の密度が 1×10^4 個/cm³ をこえており、また酸化膜耐圧の値も実施例に比べ悪くなっていることがわかる。

比較例 3

15 参考例 8 の結晶に対し実施例 1 の熱処理を行い、表面及び深さ 1 μ m、3 μ m の COP 密度及び酸化膜耐圧の測定した結果を表 5、6 に示す。直径換算で 0.1 μ m 以上の COP 密度は本発明の範囲であり、また実施例 1 にくらべ酸化膜耐圧もほぼ同等であったものの、結晶内部に発生した直径約 10 μ m の積層欠陥が基板内部より表面まで突き出していて、
20 基板表面における直径換算 0.1 μ m 以上の結晶欠陥の面密度が 5 個/cm² であり、深さ 1 μ m までの直径換算 0.1 μ m 以上の結晶欠陥の体積密度としては 5×10^4 個/cm³ となり、デバイスの作成には適さない基板となっていた。

実施例 4

25 参考例 3、4 の結晶を実施例 1 の熱処理を行い、表面及び深さ 1 μ m、3 μ m の COP 密度及び酸化膜耐圧の測定した結果を表 7、8 に示す。

熱処理後に基板を劈開しSIMSにより基板厚み中心の窒素濃度を測定したが、参考例3、4のいずれの結晶も、窒素の定量はできなかった。しかしながら、バックグラウンドの信号強度の2倍以上の信号強度で窒素の局所的な信号の増大が認められた。

5

表1

0.1 μm 以上のCOPの数(個/6インチウエハ)

結晶	1)	2)	3)	4)	5)	6)	7)	8)
A	2000	2000	2000	1000	0	0	0	0
B	4000	4000	4000	5000	6000	8000	6000	6000

Aはアンモニア過酸化水素水の繰り返し洗浄を行う前のCOP個数、

10 Bはアンモニア過酸化水素水の繰り返し洗浄により表面を片側

0.1 μm のエッチングを行った後のCOP個数

表2

実施例1、2、3の熱処理後の0.1 μm 以上のCOP密度(個/ cm^2)

	実施例1	実施例1	実施例2	実施例3
結晶	5)	7)	6)	6)
表面	<1E+03	<1E+03	<1E+03	—
1 μm 研磨	3E+03	3E+03	<1E+03	1E+03
3 μm 研磨	3E+04	3E+04	3E+03	7E+05*

15 * (7E+05)は参考例10の値

表 3

実施例 1、2、3 の酸化膜耐圧 (単位%)

	判定電流	実施例 1	実施例 1	実施例 2	実施例 3
結晶		5)	7)	6)	6)
表面	1 μ A	99	99	99	90*
	100mA	95	95	95	17*
1 μ m 研磨	1 μ A	95	99	99	95
	100mA	92	92	95	90
3 μ m 研磨	1 μ A	90	95	95	75**
	100mA	80	85	90	30**

* 参考例 9 の値

** 参考例 10 の値

5

表 4

参考例 1 ~ 8 の結晶の酸化膜耐圧 (単位%)

結晶	1)	2)	3)	4)	5)	6)	7)	8)
A	23	23	20	10	0	0	0	0
B	8	8	0	0	0	0	0	0

表 5

比較例 2、3 の $0.1\mu\text{m}$ 以上の COP 密度 (個/ cm^2)

	比較例 2	比較例 2	比較例 3
結晶	1)	2)	8)
表面	$<1\text{E}+03$	$<1\text{E}+03$	$<1\text{E}+03$
$1\mu\text{m}$ 研磨	$3\text{E}+05$	$3\text{E}+05$	$5\text{E}+03$
$3\mu\text{m}$ 研磨	$3\text{E}+05$	$3\text{E}+05$	$5\text{E}+04$

5 表 6

比較例 2、3 の熱処理後の酸化膜耐圧 (単位%)

	判定電流	比較例 2	比較例 2	比較例 3
結晶		1)	2)	5)
表面	$1\mu\text{A}$	95	99	99
	100mA	92	95	95
$1\mu\text{m}$ 研磨	$1\mu\text{A}$	75	75	90
	100mA	17	17	80
$3\mu\text{m}$ 研磨	$1\mu\text{A}$	32	32	90
	100mA	13	13	80

表 7

実施例 4 の $0.1\mu\text{m}$ 以上の COP 密度 (個/ cm^3)

	実施例 4	実施例 4
結晶	3)	4)
表面	$<1\text{E}+03$	$<1\text{E}+03$
$1\mu\text{m}$ 研磨	$1\text{E}+04$	$5\text{E}+03$
$3\mu\text{m}$ 研磨	$5\text{E}+04$	$3\text{E}+04$

表 8

5 実施例 4 の熱処理後の酸化膜耐圧 (単位%)

	判定電流	実施例 4	実施例 4
結晶		3)	4)
表面	$1\mu\text{A}$	95	99
	100mA	92	95
$1\mu\text{m}$ 研磨	$1\mu\text{A}$	90	92
	100mA	85	90
$3\mu\text{m}$ 研磨	$1\mu\text{A}$	70	90
	100mA	60	80

実施例 5 ～ 48 および比較例 4 ～ 10

まず、これらの実施例および比較例における引上げ結晶の仕様と共通する製造方法を述べる。結晶径は 8 インチ用（直径 205 mm）で、伝導型は P 型（ボロンドープ）、抵抗率は $10 \Omega \text{ cm}$ である。なお、上記

5 結晶とは別途に、結晶径が 8 インチ用（直径 205 mm）で、伝導型は P 型（ボロンドープ）、抵抗率が $0.02 \Omega \text{ cm}$ である結晶も用意した。酸素濃度は磁場印加条件およびルツボ回転速度等を調整し、低酸素領域として $2.0 \sim 5.0 \times 10^{17} \text{ atoms/cm}^3$ 、中酸素領域として $7.0 \sim 8.0 \times 10^{17} \text{ atoms/cm}^3$ 、高酸素領域として $9.0 \sim 10.0 \times 10^{17}$

10 atoms/cm^3 の濃度（酸素濃度は、赤外吸収法により測定し、濃度は日本電子工業振興協会による酸素濃度換算係数を用いて算出）の 3 種類を製造した。炭素濃度はいずれの結晶も $1.0 \times 10^{18} \text{ atoms/cm}^3$ 未満（赤外吸収法によって測定し、濃度は日本電子工業振興協会による炭素濃度換算係数を用いて算出）である。いずれの結晶も約 80 kg の原料を溶

15 解し、直径 205 mm の約 60 kg の単結晶インゴットを作成した。窒素の添加は、ノンドープのシリコン基板に CVD 法（Chemical Vapor Deposition: 化学気相成長法）により窒化膜を形成したウエハを、原料の溶解時に同時に溶かすことにより行った。シリコン融液中の窒素濃度は原料として同時に溶融した窒化膜付ウエハの窒化膜の厚さから 1 枚あ

20 たり窒素量を計算し、狙いの窒素濃度に対して添加すべき窒化膜付ウエハの枚数を制限し制御した。シリコン単結晶中の窒素濃度は SIMS で測定したが、SIMS の検出下限である $1.0 \times 10^{14} \text{ atoms/cm}^3$ 未満の濃度に関しては平衡偏析係数から計算で求めた。なお、結晶中の窒素濃度が $1.0 \times 10^{14} \text{ atoms/cm}^3$ 以下の濃度では前述のごとく、SI

25 MS によるウエハ中の窒素濃度は定量できなかったが、 $1.0 \times 10^{13} \text{ atoms/cm}^3$ 以上の窒素濃度の場合、SIMS によりバックグラウンド

レベルの2倍以上の強度で局所的な窒素信号の増大が認められた。

シリコン半導体基板の製造にあたっては、引上育成した結晶を切断、円筒研削後、スライス～鏡面研磨～洗浄仕上げしたウェハをサブストレートウェハとし、エピタキシャル成長装置に装填し、水素ガス雰囲気内
5 で1100℃～1150℃まで昇温し、その後塩化水素ガスによるエッチングを数分行い、トリクロルシランガスを用いて1150℃でウェハ表面にエピタキシャル単結晶層を5μm成長させた。

本発明において得られたシリコン半導体基板の評価は、基板表面を5μm研磨し、エピタキシャル層を除去したシリコン基板表面に関して、
10 アンモニア：過酸化水素：水＝1：1：5のSC-1洗浄液で洗浄し、レーザーパーティクルカウンターLS6000で検出される0.1μm以上のCOP欠陥数を測定した。COP欠陥すなわち空孔欠陥の体積密度の導出は、SC-1洗浄とパーティクル測定を10回繰り返す、その増分から算出した。また、深さ方向の評価についてはエピタキシャル層
15 を研磨により除去したシリコン基板を赤外レーザー干渉法欠陥測定装置（OPP：Optical Precipitate Profiler）により深さ1μmの位置に存在する直径換算で0.1μm以上のサイズの欠陥密度を計測した。OPPにより検出される0.1μm以上の欠陥はパーティクル測定方法によって得られるCOP欠陥密度と1：1の関係がある。サイズが直径換
20 算で20nm以上の微小欠陥については、赤外レーザー散乱法による欠陥測定装置（赤外レーザートモグラフ）によりエピタキシャル層やエピタキシャル層とサブストレートウェハの界面下の深さ1μmに存在する微小欠陥、さらにはIG効果の能力指標になるサブストレートウェハ内部（厚さ中心）の結晶欠陥の密度を調べた。また、 1×10^{10} 個/cm³
25 以上の微小欠陥については透過型電子顕微鏡も用いて密度測定した。さらに、エピタキシャル成長後のシリコン半導体基板をデバイス製造の

熱処理パターンの一つとして窒素雰囲気で800℃、4時間の熱処理後、酸素雰囲気で1000℃で16時間の熱処理を行い、その後、赤外レーザートモグラフおよび欠陥検出選択エッチング液であるライトエッチングを3μm行いエピタキシャル層内の結晶欠陥の形成の有無を評価した。

- 5 また、ゲッタリング能力の指標はバルク欠陥密度としたが、その根拠は、エピタキシャルシリコン半導体基板表面に銅、ニッケル、鉄などの金属不純物を故意に 10^{12} atoms/cm²程度汚染させ、その後、デバイス製造工程の標準的な熱処理であるCMOS熱処理を施した後、30mm²サイズのP/N接合素子を基板上に作成し、P/Nリーク電流の故意汚染
- 10 有無の変化量を調べた結果に基づいた。評価例を図7に示すように、バルク内欠陥密度が高い方が故意汚染後のP/Nリーク電流の増加量は少なくなっており、ゲッタリング能力が高いことがわかる。

- 表9(a)(b)～表20(a)(b)に本発明の実施例、および表21(a)(b)～表22(a)(b)に比較例に関する製造条件の特徴と欠陥評価結果、およびライフタイム評価結果のまとめを示す。
- 15

(実施例5～10)

- 実施例5～10では、表9(a)および表10(a)に示すような製造条件で図3に示すようなCZ単結晶育成装置を用いて引上げ育成した。なお、表9(a)が抵抗率10Ωcmの結晶に係るもの、表10(a)
- 20 が抵抗率0.02Ωcmの結晶に係るものである。また窒素濃度レベルは低濃度、高濃度の2種類、酸素濃度は低、中、高の3種類である。

- このCZ法単結晶育成装置は結晶冷却装置など設置しない通常の装置であり、シリコン溶融液Mを収容する石英ルツボ9aとこれを保護する黒鉛製ルツボ9bとから構成されたルツボ9と引上げシリコン結晶Sを
- 25 収容するシリコン単結晶引き上げ炉4である。ルツボ9の側面部は加熱ヒータ7と加熱ヒータ7からの熱が結晶引上炉外部に逃げるのを防止す

るため断熱材 6 が取り囲むように設置されており、このルツボ 9 は図示
されていない駆動装置と回転治具 8 によって接続され、この駆動装置に
よって所定の速度で回転されると共に、ルツボ 9 内のシリコン融液の減
少にともないシリコン融液液面が低下するのを補うためにルツボ 9 を昇
5 降させるようになっている。引き上げ炉 4 内には、垂下された引き上げ
ワイヤー 10 が設置され、このワイヤーの下端には種結晶 11 を保持す
るチャック 12 が設けられている。この引き上げワイヤー 10 の上端側
は、ワイヤ巻き上げ機 5 に巻きとられて、シリコン単結晶インゴットを
引き上げるようになった引き上げ装置が設けられている。そして、引き
10 上げ炉内 4 には、引き上げ炉 4 に形成されたガス導入口 13 から Ar ガ
スなどのガスが導入され、引き上げ炉 4 内を流通してガス流出口 14 か
ら排出される。このようにガスを流通させるのは、シリコン単結晶育成
を阻害する要因となる引き上げ炉内 4 に発生する SiO₂、CO などを引
き上げ炉外に速やかに排出させるためである。磁場印加装置は特に記載
15 していないが、引き上げ炉体周辺に磁場印加装置を設置し、磁場印加下で
も引き上げ可能である。

実施例 5 は低窒素レベルで低酸素、実施例 6 は低窒素レベルで中酸素、
実施例 7 は低窒素レベルで高酸素、実施例 8 は高窒素レベルで低酸素、
実施例 9 は高窒素レベルで中酸素、実施例 10 は高窒素レベルで高酸素
20 の結晶である。結晶冷却速度は凝固温度 (T_m) ~ 800 °C までは 2.
4 °C/分から 0.8 °C/分の範囲で必ずしも該温度範囲すべてにおいて
2.0 °C/分以上ではなかった。また 800 °C ~ 400 °C の結晶温度領
域においては 1.2 °C/分から 0.5 °C/分の範囲で必ずしも該温度範
囲すべてにおいて 1.0 °C/分以上ではなかった。これらの結晶は、ウ
25 ェハ加工後、サブストレートウェハとしその表面に単結晶層を 5 μm エ
ピタキシャル成長させ、シリコン半導体基板を作製した。結晶評価結果

は表9(b)および表10(b)に示す。エピタキシャル層とエピタキシャル層堆積前のサブストレートシリコンウェハの界面から深さ1 μ mまでの領域において、直径換算のサイズが0.1 μ m以上の欠陥(空孔欠陥)密度はいずれの結晶も 1.0×10^3 個/cm³以下で顕著に低減され、直径換算で20nm以上の微小欠陥についても 10^5 個/cm³レベルで従来に比べて低減化されている。一方、該サブストレートウェハの厚さ中心領域(バルク領域)では20nm以上の微小欠陥密度はいずれの結晶も 1.0×10^9 個/cm³以上であり、IG効果に有効な欠陥の顕著な増加が見られる。なお、熱処理評価後のエピタキシャル層内の結晶欠陥発生は皆無であり、エピタキシャル層からサブストレートシリコンウェハ表面(すなわち、エピタキシャル層とサブストレートウェハの界面)下の無欠陥層は広く、酸素析出物などの微小欠陥のエピタキシャル層への突き出しはなかった。本実施例におけるシリコン半導体基板の断面構造概念図を図1に示す。

15 (実施例11~13)

実施例11~13についても、表11(a)(b)および表12(a)(b)に引上げ育成の製造条件と評価結果を示す。なお、表11(a)(b)が抵抗率10 Ω cmの結晶に係るもの、表12(a)(b)が抵抗率0.02 Ω cmの結晶に係るものである。実施例11は低酸素、実施例12は中酸素、実施例13は高酸素レベルで、図4に示すような結晶冷却装置20を引上炉内に設置したCZ単結晶育成装置を用いて引き上げ育成した。なお、磁場印加装置は特に記載していないが、引上げ炉体周辺に磁場印加装置を設置し、磁場印加下でも引上げ可能である。結晶冷却速度は凝固温度(T_m)~800 $^{\circ}$ Cまでは6.0 $^{\circ}$ C/分から2.0 $^{\circ}$ C/分の範囲で、 T_m から800 $^{\circ}$ Cの全ての結晶温度領域において2.0 $^{\circ}$ C/分以上の冷却速度であった。800 $^{\circ}$ Cから400 $^{\circ}$ Cの

結晶温度範囲の冷却速度は、 $2.0^{\circ}\text{C}/\text{分} \sim 0.5^{\circ}\text{C}/\text{分}$ で必ずしも該温度範囲のすべてにおいて $1.0^{\circ}\text{C}/\text{分}$ 以上の冷却速度ではなかった。育成したシリコン単結晶は、ウェハ加工後、サブストレートウェハとしその表面に単結晶層を $5\mu\text{m}$ エピタキシャル成長させ、シリコン半導体

5 基板を作製した。エピタキシャル層とサブストレートシリコンウェハの界面から深さ $1\mu\text{m}$ までの領域において、直径換算のサイズが $0.1\mu\text{m}$ 以上の欠陥（空孔欠陥）密度はいずれの結晶も 1.0×10^4 個/ cm^3 以下で低減され、直径換算で 20nm 以上の微小欠陥についても 10^5 個/ cm^3 レベルで従来に比べて低減化されている一方、サブスト

10 レートウェハの厚さ中心領域（バルク領域）では 20nm 以上の微小欠陥密度はいずれの結晶も 1.0×10^8 個/ cm^3 以上であり、IG効果に有効な欠陥の顕著な増加が見られる。熱処理評価後のエピタキシャル層内の結晶欠陥発生は皆無であり、エピタキシャル層からサブストレートシリコンウェハ表面（すなわち、エピタキシャル層とサブストレー

15 トウェハの界面）下、無欠陥層が十分に形成され、酸素析出物などの微小欠陥のエピタキシャル層への突き出しはなかった。本実施例におけるシリコン半導体基板の断面構造概念図を図2に示す。

（実施例14～16）

実施例14～16についても、表13（a）（b）および表14

20 （a）（b）に引上げ育成の製造条件と評価結果を示す。なお、表13（a）（b）が抵抗率 $10\Omega\text{cm}$ の結晶に係るもの、表14（a）（b）が抵抗率 $0.02\Omega\text{cm}$ の結晶に係るものである。実施例14は低酸素、実施例15は中酸素、実施例16は高酸素レベルで、図5に示すような結晶冷却装置30を引上炉内に設置したCZ単結晶育成装置を

25 用いて引き上げ育成した。結晶冷却速度は凝固温度（ T_m ） $\sim 800^{\circ}\text{C}$ までは $2.4^{\circ}\text{C}/\text{分}$ から $1.5^{\circ}\text{C}/\text{分}$ の範囲で、該温度範囲すべてにお

いて2.0℃/分以上の冷却速度ではないが、800℃から400℃の範囲は1.6℃/分から1.2℃/分の範囲で、該温度範囲の全ての結晶温度領域において1.0℃/分以上の冷却速度であった。育成したシリコン単結晶は、ウェハ加工後、サブストレートウェハとしその表面に
5 単結晶層を5μmエピタキシャル成長させ、シリコン半導体基板を作製した。エピタキシャル層とサブストレートシリコンウェハの界面から深さ1μmまでの領域において、直径換算のサイズが0.1μm以上の欠陥（空孔欠陥）密度はいずれの結晶も 1.0×10^4 個/cm³以下で低減され、直径換算で20nm以上の微小欠陥についても 10^6 個/cm³レベルで従来に比べて低減化されている。なお、熱処理評価後のエ
10 ピタキシャル層内の結晶欠陥発生は皆無であり、エピタキシャル層からサブストレートシリコンウェハ表面（すなわち、エピタキシャル層とサブストレートウェハの界面）下、無欠陥層が十分に形成され、酸素析出物などの微小欠陥のエピタキシャル層への突き出しはなかった。

15 （実施例17～19）

実施例17～19についても、表15（a）（b）および表16（a）（b）に引上げ育成の製造条件と評価結果を示す。なお、表15（a）（b）が抵抗率1.0Ωcmの結晶に係るもの、表16（a）（b）が抵抗率0.02Ωcmの結晶に係るものである。実施例17は
20 低酸素、実施例18は中酸素、実施例19は高酸素レベルで、図6に示すような結晶冷却装置20および30を引上炉内に設置したCZ単結晶育成装置を用いて引き上げ育成した。結晶冷却速度は凝固温度（T_m）～800℃までは6.5℃/分から2.0℃/分の範囲で、さらに800℃から400℃の範囲は2.0℃/分から1.2℃/分の範囲で、T
25 mから800℃の全ての結晶温度領域において2.0℃/分以上の冷却速度で、さらに、800℃から400℃の全ての結晶温度領域において

1. $0^{\circ}\text{C}/\text{分}$ 以上の冷却速度であった。育成したシリコン単結晶は、ウェハ加工後、サブストレートウェハとしその表面に単結晶層を $5\mu\text{m}$ エピタキシャル成長させ、シリコン半導体基板を作製した。凝固界面から 400°C までの広範囲の結晶温度領域を全体に渡って急冷することになり、 $0.1\mu\text{m}$ サイズ以上の空孔欠陥もサイズ 20nm 以上の微小欠陥も顕著に低減されている。直径換算のサイズが $0.1\mu\text{m}$ 以上の欠陥（空孔欠陥）密度は、エピタキシャル層とサブストレートシリコンウェハの界面から深さ $1\mu\text{m}$ までの領域において、いずれも 1.0×10^4 個/ cm^3 以下で低減され、直径換算で 20nm 以上の微小欠陥についても 5.0×10^4 個/ cm^3 以下で顕著な低減が見られる。一方、サブストレートウェハの厚さ中心領域（バルク領域）では 20nm 以上の微小欠陥密度はいずれの結晶も 1.0×10^8 個/ cm^3 以上であり、IG効果に有効な欠陥の顕著な増加が見られる。熱処理評価後のエピタキシャル層内の結晶欠陥発生は皆無であり、エピタキシャル層からサブストレートシリコンウェハ表面（すなわち、エピタキシャル層とサブストレートウェハの界面）下、無欠陥層が十分に形成され、酸素析出物などの微小欠陥のエピタキシャル層への突き出しはなかった。

（実施例20～25）

実施例20～25についても、表17（a）（b）および表18（a）（b）に引上げ育成の製造条件と評価結果を示す。なお、表17（a）（b）が抵抗率 $10\Omega\text{cm}$ の結晶に係るもの、表18（a）（b）が抵抗率 $0.02\Omega\text{cm}$ の結晶に係るものである。本実施例では、窒素を添加した結晶に、実施例15～17と同様、図4に示すようなCZ単結晶育成装置を用いて引き上げ育成した。結晶冷却速度は凝固温度（ T_m ）～ 800°C までは $6.0^{\circ}\text{C}/\text{分}$ から $2.0^{\circ}\text{C}/\text{分}$ の範囲で、 T_m から 800°C の全ての結晶温度領域において $2.0^{\circ}\text{C}/\text{分}$ 以上の冷却

速度であった。800℃から400℃の結晶温度範囲の冷却速度は、2.0℃/分～0.5℃/分で必ずしも該温度範囲のすべてにおいて1.0℃/分以上の冷却速度ではなかった。育成したシリコン単結晶は、ウェハ加工後、サブストレートウェハとしその表面に単結晶層を5μmエピタキシャル成長させ、シリコン半導体基板を作製した。窒素濃度および酸素濃度は実施例5～10に記述した濃度と同様で、実施例20は低窒素レベルで低酸素、実施例21は低窒素レベルで中酸素、実施例22は低窒素レベルで高酸素、実施例23は高窒素レベルで低酸素、実施例24は高窒素レベルで中酸素、実施例25は高窒素レベルで高酸素の結晶である。エピタキシャル層とサブストレートシリコンウェハの界面領域においては、直径換算のサイズが0.1μm以上の欠陥（空孔欠陥）密度はいずれの結晶も 1.0×10^2 個/cm³以下でほぼゼロレベルで、さらに界面から深さ1μmまでの領域においても 1.0×10^3 個/cm³以下で顕著に低減されている。直径換算で20nm以上の微小欠陥についても界面および界面から深さ1μmまでの領域で 10^4 個/cm³以下で顕著に低減化されている一方、サブストレートウェハの厚さ中心領域（バルク領域）では20nm以上の微小欠陥密度はいずれの結晶も 1.0×10^{10} 個/cm³程度存在し、IG効果に有効な欠陥の顕著な増加が見られる。なお、熱処理評価後のエピタキシャル層内の結晶欠陥発生は皆無であり、エピタキシャル層からサブストレートシリコンウェハ表面（すなわち、エピタキシャル層とサブストレートウェハの界面）下、無欠陥層は広く、酸素析出物などの微小欠陥のエピタキシャル層への突き出しはなかった。

（実施例26～31）

25 実施例26～31についても、表17（a）（b）および表18（a）（b）に引上げ育成の製造条件と評価結果を示す。なお、表17

- (a) (b) が抵抗率 $10 \Omega \text{ cm}$ の結晶に係るもの、表 18 (a)
- (b) が抵抗率 $0.02 \Omega \text{ cm}$ の結晶に係るものである。本実施例では、窒素を添加した結晶に、実施例 14～16 と同様、図 5 に示すような C Z 単結晶育成装置を用いて引き上げ育成した。結晶冷却速度は凝固温度
- 5 (T_m)～800℃までは $2.4^\circ\text{C}/\text{分}$ から $1.5^\circ\text{C}/\text{分}$ の範囲で、該温度範囲すべてにおいて $2.0^\circ\text{C}/\text{分}$ 以上の冷却速度ではないが、800℃から 400℃の範囲は $1.6^\circ\text{C}/\text{分}$ から $1.2^\circ\text{C}/\text{分}$ の範囲で、該温度範囲の全ての結晶温度領域において $1.0^\circ\text{C}/\text{分}$ 以上の冷却速度であった。育成したシリコン単結晶は、ウェハ加工後、サブストレートウ
- 10 エハとしその表面に単結晶層を $5 \mu\text{m}$ エピタキシャル成長させ、シリコン半導体基板を作製した。窒素濃度および酸素濃度は実施例 5～10 に記述した濃度と同様で、実施例 26 は低窒素レベルで低酸素、実施例 27 は低窒素レベルで中酸素、実施例 28 は低窒素レベルで高酸素、実施例 29 は高窒素レベルで低酸素、実施例 30 は高窒素レベルで中酸素、
- 15 実施例 31 は高窒素レベルで高酸素の結晶である。エピタキシャル層とサブストレートシリコンウェハの界面から深さ $1 \mu\text{m}$ までの領域において、直径換算で $0.1 \mu\text{m}$ 以上の欠陥密度は $1.0 \times 10^3 \text{ 個}/\text{cm}^3$ 以下で顕著に低減され、直径換算で 20 nm 以上の微小欠陥についても界面および界面から深さ $1 \mu\text{m}$ までの領域で $10^4 \text{ 個}/\text{cm}^3$ 以下で顕
- 20 著に低減化されている。サブストレートウェハの厚さ中心領域（バルク領域）では 20 nm 以上の微小欠陥密度はいずれの結晶も $1.0 \times 10^9 \text{ 個}/\text{cm}^3$ 程度存在し、I G 効果に有効な欠陥の顕著な増加が見られる。なお、熱処理評価後のエピタキシャル層内の結晶欠陥発生は皆無であり、エピタキシャル層からサブストレートシリコンウェハ表面（すな
- 25 わち、エピタキシャル層とサブストレートウェハの界面）下、無欠陥層は広く、酸素析出物などの微小欠陥のエピタキシャル層への突き出しは

なかった。

(実施例 32～37)

実施例 32～37についても、表 17 (a) (b) および表 18 (a) (b) に引上げ育成の製造条件と評価結果を示す。なお、表 17 (a) (b) が抵抗率 $10 \Omega \text{ cm}$ の結晶に係るもの、表 18 (a) (b) が抵抗率 $0.02 \Omega \text{ cm}$ の結晶に係るものである。本実施例では、窒素を添加した結晶に、実施例 17～19と同様、図 6 に示すような CZ 単結晶育成装置を用いて引き上げ育成した。結晶冷却速度は凝固温度 (T_m) ～ 800°C までは $6.5^\circ\text{C}/\text{分}$ から $2.0^\circ\text{C}/\text{分}$ の範囲で、さらに 800°C から 400°C の範囲は $2.0^\circ\text{C}/\text{分}$ から $1.2^\circ\text{C}/\text{分}$ の範囲で、 T_m から 800°C の全ての結晶温度領域において $2.0^\circ\text{C}/\text{分}$ 以上の冷却速度で、さらに、 800°C から 400°C の全ての結晶温度領域において $1.0^\circ\text{C}/\text{分}$ 以上の冷却速度であった。育成したシリコン単結晶は、ウェハ加工後、サブストレートウェハとしその表面に単結晶層を $5 \mu\text{m}$ エピタキシャル成長させ、シリコン半導体基板を作製した。窒素濃度および酸素濃度は実施例 5～10 に記述した濃度と同様で、実施例 32 は低窒素レベルで低酸素、実施例 33 は低窒素レベルで中酸素、実施例 34 は低窒素レベルで高酸素、実施例 35 は高窒素レベルで低酸素、実施例 36 は高窒素レベルで中酸素、実施例 37 は高窒素レベルで高酸素の結晶である。エピタキシャル層とサブストレートシリコンウェハの界面領域においては、直径換算のサイズが $0.1 \mu\text{m}$ 以上の欠陥 (空孔欠陥) 密度はいずれの結晶も $1.0 \times 10^2 \text{ 個}/\text{cm}^3$ 以下でほぼゼロレベルで、さらに該界面から深さ $1 \mu\text{m}$ までの領域においても $10^2 \text{ 個}/\text{cm}^3$ レベルかそれ以下で極端に低減されている。直径換算で 20 nm 以上の微小欠陥についても界面および界面から深さ $1 \mu\text{m}$ までの領域で $10^2 \text{ 個}/\text{cm}^3$ レベルで極端に低減化され、ほぼ完全な無欠陥層が

形成している。一方、ウェハの厚さ中心領域（バルク領域）では20nm以上の微小欠陥密度についてはいずれの結晶も 1.0×10^{10} 個/cm³程度存在し、IG効果に有効な欠陥の顕著な増加が見られる。なお、熱処理評価後のエピタキシャル層内の結晶欠陥発生は皆無であり、エピ
5 タキシャル層からサブストレートシリコンウェハ表面（すなわち、エピタキシャル層とサブストレートウェハの界面）下、無欠陥層は広く、酸素析出物などの微小欠陥のエピタキシャル層への突き出しはなかった。

（実施例38～42）

本実施例38～42は、窒素を添加した結晶から切り出しウェハ加工
10 したシリコンウェハをエピタキシャル法による単結晶層堆積用のサブストレートウェハとしエピタキシャル成長前に熱処理を施し、該サブストレートシリコンウェハ表面領域において従来以上の深さで無欠陥化を行い、かつ該サブストレートウェハ中心領域には高密度の欠陥が存在するよう製造し、その後エピタキシャル層を5μm堆積したシリコン半導体
15 基板である。本実施例では、シリコン融液中の窒素濃度が 1.0×10^{19} atoms/cm³レベルの高濃度でかつ酸素濃度が 1.0×10^{18} atoms/cm³の高濃度レベルに関して記載するが、本実施例に見られる効果は、結晶中の窒素濃度が 5.0×10^{13} atoms/cm³以上 1.0×10^{16} atoms/cm³以下、および結晶中の酸素濃度が 1.0×10^{17} atoms/cm³以上の範囲
20 で製造された結晶であれば同様な効果を示すことを確認している。本実施例の製造条件および評価結果は表19（a）（b）および表20

（a）（b）に示す。なお、表19（a）（b）が抵抗率 $10 \Omega \cdot \text{cm}$ の結晶に係るもの、表20（a）（b）が抵抗率 $0.02 \Omega \cdot \text{cm}$ の結晶に係るものである。結晶引上げは図3に示すようなCZ単結晶育成装置を用いて引上げ育成した。結晶冷却速度は凝固温度（ T_m ）～800℃までは $2.4^\circ\text{C}/\text{分}$ から $0.8^\circ\text{C}/\text{分}$ の範囲で必ずしも該温度範囲すべて
25

において $2.0^{\circ}\text{C}/\text{分}$ 以上ではなかった。また $800^{\circ}\text{C} \sim 400^{\circ}\text{C}$ の結晶温度領域においては $1.2^{\circ}\text{C}/\text{分}$ から $0.5^{\circ}\text{C}/\text{分}$ の範囲で必ずしも該温度範囲すべてにおいて $1.0^{\circ}\text{C}/\text{分}$ 以上ではなかった。熱処理は、実施例 38 と 39 は熱処理時間の効果を見るため、それぞれ Ar 雰囲気
5 で 1100°C で 60 分と 5 分、実施例 40 は熱処理雰囲気の効果を見るため酸素雰囲気では 1100°C で 60 分、実施例 41 と 42 は熱処理温度の効果を見るため、それぞれ Ar 雰囲気では 1000°C で 60 分と Ar 雰囲気では 1300°C で 5 分の熱処理を施した。直径換算で $0.1\mu\text{m}$ 以上の空孔欠陥のエピタキシャル層とサブストレートシリコンウェハの界面
10 から深さ $1\mu\text{m}$ までの領域における密度分布については、実施例 40 の酸素雰囲気熱処理を除いて、 1.0×10^2 個/ cm^3 以下でほぼゼロレベルの欠陥分布である。実施例 40 の酸素雰囲気熱処理ウェハに関しても、当該空孔欠陥の密度は 1.0×10^3 個/ cm^3 レベルで従来に比べて顕著に低減している。また、サイズが直径換算で 20nm 以上の
15 微小欠陥については、エピタキシャル層とサブストレートシリコンウェハの界面から深さ $1\mu\text{m}$ までの領域で 1.0×10^4 個/ cm^3 以下となっており顕著な欠陥密度の低減が見られる。一方、サブストレートウェハの厚さ中心領域（バルク領域）では 20nm 以上の微小欠陥密度はいずれの結晶も 1.0×10^8 個/ cm^3 以上であり、IG 効果に有効
20 な欠陥の顕著な増加が見られる。温度としては、高温ほど微小欠陥が分解する傾向があり、 1100°C から 1200°C 程度が好ましい。また、雰囲気は酸素雰囲気に比べて不活性ガスの一つである Ar 雰囲気において欠陥の一層の低減が見られる。熱処理時間は、長時間ほどエピタキシャル層界面付近の欠陥密度の低減が見られるが、ウェハ中心領域の欠陥
25 密度の低減傾向があること、さらに製造コストの観点から 5 分以上 60 分以下程度で十分である。なお、熱処理評価後のエピタキシャル層内の

結晶欠陥発生は皆無であり、エピタキシャル層からサブストレートシリコンウェハ表面（すなわち、エピタキシャル層とサブストレートウェハの界面）下、無欠陥層は広く、酸素析出物などの微小欠陥のエピタキシャル層への突き出しはなかった。

5 （実施例 43～45）

本実施例 43 から 45 は、窒素を添加しないで、結晶引上げ育成時に結晶を急冷した結晶を、ウェハ加工したシリコンウェハをエピタキシャル法による単結晶層堆積用のサブストレートウェハとしエピタキシャル成長前に熱処理を施し、該サブストレートシリコンウェハ表面領域において従来以上の深さで無欠陥化を行い、かつ該サブストレートウェハ中心領域には高密度の欠陥が存在するよう製造し、その後エピタキシャル層を 5 μ m 堆積したシリコン基板である。本実施例では、シリコン融液中の酸素濃度が 1.0×10^{18} atoms/cm³ の高濃度レベルに関して記載するが、本実施例に見られる効果は、結晶中の酸素濃度が 1.0×10^{17} atoms/cm³ 以上の範囲で製造された結晶であれば同様な効果を示すことを確認している。本実施例の製造条件および評価結果は表 19 (a) (b) および表 20 (a) (b) に示す。なお、表 19 (a) (b) が抵抗率 10 Ω cm の結晶に係るもの、表 20 (a) (b) が抵抗率 0.02 Ω cm の結晶に係るものである。実施例 43 は、図 4 に示すような CZ 単結晶育成装置を用いて引上げ育成し、結晶冷却速度は凝固温度 (T_m) ～ 800℃ までは 6.0℃/分から 2.0℃/分の範囲で、 T_m から 800℃ の全ての結晶温度領域において 2.0℃/分以上の冷却速度であった。800℃ から 400℃ の結晶温度範囲の冷却速度は、2.0℃/分～0.5℃/分で必ずしも該温度範囲のすべてにおいて 1.0℃/分以上の冷却速度ではなかった。実施例 44 は、図 5 に示すような結晶の冷却能力を高める装置を設置した CZ 単結晶育成装置を用いて

引上げ育成し、結晶冷却速度は凝固温度 (T_m) $\sim 800^\circ\text{C}$ までは2.4 $^\circ\text{C}/\text{分}$ から1.5 $^\circ\text{C}/\text{分}$ の範囲で、該温度範囲すべてにおいて2.0 $^\circ\text{C}/\text{分}$ 以上の冷却速度ではないが、800 $^\circ\text{C}$ から400 $^\circ\text{C}$ の範囲は1.6 $^\circ\text{C}/\text{分}$ から1.2 $^\circ\text{C}/\text{分}$ の範囲で、該温度範囲の全ての結晶温度領域
5 において1.0 $^\circ\text{C}/\text{分}$ 以上の冷却速度であった。実施例45は、図6に示すような結晶の冷却能力を高める装置を設置したCZ単結晶育成装置を用いて引上げ育成し、結晶冷却速度は凝固温度 (T_m) $\sim 800^\circ\text{C}$ までは6.5 $^\circ\text{C}/\text{分}$ から2.0 $^\circ\text{C}/\text{分}$ の範囲で、さらに800 $^\circ\text{C}$ から400 $^\circ\text{C}$ の範囲は2.0 $^\circ\text{C}/\text{分}$ から1.2 $^\circ\text{C}/\text{分}$ の範囲で、 T_m から80
10 0 $^\circ\text{C}$ の全ての結晶温度領域において2.0 $^\circ\text{C}/\text{分}$ 以上の冷却速度で、さらに、800 $^\circ\text{C}$ から400 $^\circ\text{C}$ の全ての結晶温度領域において1.0 $^\circ\text{C}/\text{分}$ 以上の冷却速度であった。いずれの実施例においても、エピタキシャル堆積前のサブストレートシリコンウェハの熱処理はAr雰囲気中1100 $^\circ\text{C}$ で60分実施した。凝固温度から400 $^\circ\text{C}$ までの温度領域すべて
15 を急冷した結晶において欠陥密度低減効果が顕著であるが、いずれの結晶もエピタキシャル層界面下の欠陥密度が低減する。一方、サブストレートウェハ厚さ中心領域ではIG効果を高めるのに十分な欠陥密度を有している。なお、熱処理評価後のエピタキシャル層内の結晶欠陥発生は皆無であり、酸素析出物などの微小欠陥のエピタキシャル層への突き出
20 しはなかった。

(実施例46～48)

本実施例46から48は、結晶引上げ育成時に窒素を添加し、かつ結晶を急冷した結晶を、ウェハ加工したシリコンウェハをエピタキシャル法による単結晶層堆積用のサブストレートウェハとしエピタキシャル成
25 長前に熱処理を施し、該サブストレートシリコンウェハ表面領域において従来以上の深さで無欠陥化を行い、かつ該サブストレートウェハ中心

領域には高密度の欠陥が存在するよう製造し、その後エピタキシャル層を5 μ m堆積したシリコン半導体基板である。本実施例では、シリコン融液中の窒素濃度が 1.0×10^{19} atoms/cm³レベルの高濃度で酸素濃度が 1.0×10^{18} atoms/cm³の高濃度レベルに関して記載するが、本

5 実施例に見られる効果は、結晶中の窒素濃度が 5.0×10^{13} atoms/cm³以上 1.0×10^{16} atoms/cm³以下、および酸素濃度が 1.0×10^{17} atoms/cm³以上の範囲で製造された結晶であれば同様な効果を示すことを確認している。本実施例の製造条件および評価結果は表19(a)

(b)および表20(a)(b)に示す。なお、表19(a)(b)が

10 抵抗率10 Ω cmの結晶に係るもの、表20(a)(b)が抵抗率0.02 Ω cmの結晶に係るものである。実施例46は、図4に示すような結晶の冷却能力を高める装置を設置したCZ単結晶育成装置を用いて引上げ育成し、結晶冷却速度は凝固温度(T_m) \sim 800 $^{\circ}$ Cまでは6.0 $^{\circ}$ C/分から2.0 $^{\circ}$ C/分の範囲で、T_mから800 $^{\circ}$ Cの全ての結晶温度領域において2.0 $^{\circ}$ C/分以上の冷却速度であった。800 $^{\circ}$ Cから400 $^{\circ}$ Cの結晶温度範囲の冷却速度は、2.0 $^{\circ}$ C/分 \sim 0.5 $^{\circ}$ C/分で必ずしも該温度範囲のすべてにおいて1.0 $^{\circ}$ C/分以上の冷却速度ではなかった。実施例47は、図5に示すような結晶の冷却能力を高める装置を設置したCZ単結晶育成装置を用いて引上げ育成し、結晶冷却速度は

15 凝固温度(T_m) \sim 800 $^{\circ}$ Cまでは2.4 $^{\circ}$ C/分から1.5 $^{\circ}$ C/分の範囲で、該温度範囲すべてにおいて2.0 $^{\circ}$ C/分以上の冷却速度ではないが、800 $^{\circ}$ Cから400 $^{\circ}$ Cの範囲は1.6 $^{\circ}$ C/分から1.2 $^{\circ}$ C/分の範囲で、該温度範囲の全ての結晶温度領域において1.0 $^{\circ}$ C/分以上の冷却速度であった。実施例48は、図6に示すような結晶の冷却能力を

20 高める装置を設置したCZ単結晶育成装置を用いて引上げ育成し、結晶冷却速度は凝固温度(T_m) \sim 800 $^{\circ}$ Cまでは6.5 $^{\circ}$ C/分から2.0 $^{\circ}$ C

／分の範囲で、さらに800℃から400℃の範囲は2.0℃／分から1.2℃／分の範囲で、 T_m から800℃の全ての結晶温度領域において2.0℃／分以上の冷却速度で、さらに、800℃から400℃の全ての結晶温度領域において1.0℃／分以上の冷却速度であった。いずれの実施例においても、エピタキシャル堆積前のサブストレートシリコンウェハの熱処理はAr雰囲気中で1100℃で60分実施した。凝固温度から400℃までの温度領域すべてを急冷した結晶において欠陥密度低減効果が顕著であるが、いずれの結晶もサイズ0.1μm以上の空孔欠陥についてもサイズが20nm以上の微小欠陥に関してもエピタキシャル層界面下の欠陥密度が 10^2 個／ cm^3 レベルかそれ以下のほぼ完全に無欠陥の状態を実現している。一方、サブストレートウェハ厚さ中心領域20nm以上の欠陥密度は 10^9 個／ cm^3 レベルでIG効果を増強する欠陥密度を有している。なお、熱処理評価後のエピタキシャル層内の結晶欠陥発生は皆無であり、酸素析出物などの微小欠陥のエピタキシャル層への突き出しはなかった。

(比較例4～6)

比較例4から6では、窒素を添加することなしに結晶育成を行った。すなわち、図3に示すような特に結晶急冷装置を設けることのない通常の結晶育成装置で引き上げ育成し、結晶冷却速度は凝固温度(T_m)～800℃までは2.4℃／分から0.8℃／分の範囲で必ずしも該温度範囲すべてにおいて2.0℃／分以上ではなかった。また800℃～400℃の結晶温度領域においては1.2℃／分から0.5℃／分の範囲で必ずしも該温度範囲すべてにおいて1.0℃／分以上ではなかった。育成したシリコン単結晶は、ウェハ加工後、サブストレートウェハとしその表面に単結晶層を5μmエピタキシャル成長させ、シリコン半導体基板を作製した。本比較例の製造条件および評価結果は表21(a)

(b) および表 2 2 (a) (b) に示す。なお、表 2 1 (a) (b) が抵抗率 $10 \Omega \text{ cm}$ の結晶に係るもの、表 2 2 (a) (b) が抵抗率 $0.02 \Omega \text{ cm}$ の結晶に係るものである。比較例 4 は低酸素、比較例 5 は中酸素、比較例 6 は高酸素の結晶である。エピタキシャル層とサブストレー
5 トウェハの界面から深さ $1 \mu\text{m}$ までの領域において、直径換算のサイズが $0.1 \mu\text{m}$ 以上の欠陥（空孔欠陥）密度は酸素濃度が低い方が低下する傾向はあるものの、 $5.0 \times 10^4 \text{ 個}/\text{cm}^3$ 以下にはならず概ね $10^5 \text{ 個}/\text{cm}^3$ レベルの高密度である。直径換算で 20 nm 以上の微小欠陥についても、エピタキシャル層とサブストレー
10 トウェハの界面から深さ $1 \mu\text{m}$ までの領域において、密度が $5.0 \times 10^5 \text{ 個}/\text{cm}^3$ 以下は実現せず $1.0 \times 10^6 \text{ 個}/\text{cm}^3$ 以上のレベルである。一方、サブストレートウェハの厚さ中心領域（バルク領域）では $1.0 \times 10^7 \text{ 個}/\text{cm}^3$ レベルで、顕著な I G 効果は期待できない。なお、熱処理後において、ウェハあたり数個レベルの結晶欠陥の形成（酸素析出物のエ
15 ピタキシャル層への突き出しおよび積層欠陥の形成）が見られ、エピタキシャル層とサブストレートウェハの界面付近の無欠陥層は狭くなっていた。

（比較例 7 ～ 9）

比較例 7 から 9 では、窒素の添加量を結晶引き上げ育成時、融液中の窒
20 素濃度が $5.0 \times 10^{15} \text{ atoms}/\text{cm}^3$ 程度とし、結晶中の窒素濃度が $5.0 \times 10^{12} \text{ atoms}/\text{cm}^3$ 程度とした。すなわち、窒素添加量は微量とした。結晶育成は、図 3 に示すような特に結晶急冷装置を設けることのない通常の結晶育成装置で引き上げ育成し、結晶冷却速度は凝固温度（ T_m ）
～ 800°C までは $2.4^\circ\text{C}/\text{分}$ から $0.8^\circ\text{C}/\text{分}$ の範囲で必ずしも該温度範囲
25 すべてにおいて $2.0^\circ\text{C}/\text{分}$ 以上ではなかった。また 800°C ～ 400°C の結晶温度領域においては $1.2^\circ\text{C}/\text{分}$ から $0.5^\circ\text{C}/\text{分}$ の範

図で必ずしも該温度範囲すべてにおいて $1.0^{\circ}\text{C}/\text{分}$ 以上ではなかった。育成したシリコン単結晶は、ウェハ加工後、サブストレートウェハとしその表面に単結晶層を $5\mu\text{m}$ エピタキシャル成長させ、シリコン半導体基板を作製した。本比較例の製造条件および評価結果は表21(a)

- 5 (b) および表22(a)(b)に示す。なお、表21(a)(b)が抵抗率 $10\Omega\text{cm}$ の結晶に係るもの、表22(a)(b)が抵抗率 $0.02\Omega\text{cm}$ の結晶に係るものである。比較例7は低酸素、比較例8は中酸素、比較例9は高酸素の結晶である。エピタキシャル層とサブストレートウェハの界面から深さ $1\mu\text{m}$ までの領域において、直径換算のサイズが $0.1\mu\text{m}$ 以上の欠陥(空孔欠陥)密度、直径換算のサイズが 20nm 以上の微小欠陥の密度については比較例4~6とほぼ同様で、窒素添加の顕著な効果は見られず、それぞれの欠陥サイズに対し概ね 10^5 個/ cm^3 レベル、 1.0×10^6 個/ cm^3 のレベルで高密度であった。一方、該サブストレートウェハの厚さ中心領域(バルク領域)に関して
- 10 も欠陥密度の増加は見られず 1.0×10^7 個/ cm^3 レベルで、顕著なIG効果は期待できない。なお、ライフタイムはすべて問題ないが、熱処理後において、ウェハあたり数個レベルの結晶欠陥の形成(酸素析出物のエピタキシャル層への突き出しおよび積層欠陥の形成)が見られ、エピタキシャル層とサブストレートウェハの界面付近の無欠陥層は狭く
- 15 20 になっていた。

(比較例10)

- 比較例10は、窒素の添加量を結晶引上げ育成時、融液中の窒素濃度が $4.5\times 10^{19}\text{atoms}/\text{cm}^3$ 程度とし、結晶中の窒素濃度が $3.0\times 10^{18}\text{atoms}/\text{cm}^3$ 程度とした。すなわち、窒素を極端に多く添加した。結
- 25 晶育成は、図3に示すような特に結晶急冷装置を設けることのない通常の結晶育成装置で引き上げ育成し、結晶冷却速度は凝固温度(T_m)~

800℃までは2.4℃/分から0.8℃/分の範囲で必ずしも該温度範囲すべてにおいて2.0℃/分以上ではなかった。また800℃～400℃の結晶温度領域においては1.2℃/分から0.5℃/分の範囲で必ずしも該温度範囲すべてにおいて1.0℃/分以上ではなかった。

- 5 育成したシリコン単結晶は、ウェハ加工後、サブストレートウェハとしその表面に単結晶層を5μmエピタキシャル成長させ、シリコン半導体基板を作製した。本比較例の製造条件および評価結果は表21(a)(b)および表22(a)(b)に示す。なお、表21(a)(b)が抵抗率10Ωcmの結晶に係るもの、表22(a)(b)が抵抗率0.02Ωcmの結晶に係るものである。エピタキシャル層とサブストレートウェハの界面から深さ1μmまでの領域において、直径換算のサイズが0.1μm以上の欠陥(空孔欠陥)密度、直径換算のサイズが20nm以上の微小欠陥の密度については窒素の効果から微細になった欠陥がエピタキシャル成長時容易に分解し低減が見られるものの、分解した欠陥の構成要素である原子空孔や不純物酸素がエピタキシャル層に拡散しエピタキシャル層内に新たな欠陥形成が見られる。
- 10
- 15

表 9 (a)

シリコン基板比抵抗：10 $\Omega \cdot \text{cm}$

	製造条件						
	融液窒素	引上速度	結晶窒素	結晶酸素	T _m ~800°C	800~400°C	熱処理
	/cm ³	mm/分	/cm ³	/cm ³	>2.0°C/分	>1.0°C/分	
実施例 5	1.0E17	0.8	1.0E14	3.0E17	-	-	-
実施例 6	2.0E17	0.8	2.0E14	8.0E17	-	-	-
実施例 7	5.0E17	0.8	5.0E14	9.5E17	-	-	-
実施例 8	8.0E18	0.8	7.0E15	3.0E17	-	-	-
実施例 9	1.0E19	0.8	1.0E16	8.0E17	-	-	-
実施例 10	9.0E18	0.8	8.0E15	9.5E17	-	-	-

○：範囲内、 -：範囲外

5

表 9 (b)

	エピ界面～深さ 1 μm 欠陥		バルク欠陥	エピ層欠陥
	サイズ>0.1 μm	サイズ>20nm	サイズ>20nm	
	/cm ³	/cm ³	/cm ³	個/ウェハ
実施例 5	9.0E2	1.5E5	1.0E9	検出されない
実施例 6	9.0E2	6.5E5	5.0E9	検出されない
実施例 7	8.5E2	6.0E5	6.0E9	検出されない
実施例 8	6.0E2	1.0E5	1.5E9	検出されない
実施例 9	6.0E2	5.0E5	6.0E9	検出されない
実施例 10	9.0E2	5.5E5	8.0E9	検出されない

表 10 (a)

シリコン基板比抵抗：0.02 $\Omega \cdot \text{cm}$

	製造条件						
	融液窒素	引上速度	結晶窒素	結晶酸素	T _m ~800°C	800~400°C	熱処理
	/cm ³	mm/分	/cm ³	/cm ³	>2.0°C/分	>1.0°C/分	
実施例 5	5.0E16	0.9	5.0E13	3.0E17	-	-	-
実施例 6	1.0E17	0.9	1.0E14	8.0E17	-	-	-
実施例 7	2.0E16	0.9	2.0E13	9.5E17	-	-	-
実施例 8	1.0E19	0.9	1.0E16	3.0E17	-	-	-
実施例 9	1.0E19	0.9	1.0E16	8.0E17	-	-	-
実施例 10	1.0E19	0.9	1.0E16	9.5E17	-	-	-

○：範囲内、 -：範囲外

5

表 10 (b)

	エピ界面～深さ 1 μm 欠陥		バルク欠陥	エピ層欠陥
	サイズ>0.1 μm	サイズ>20nm	サイズ>20nm	
	/cm ³	/cm ³	/cm ³	個/ウェハ
実施例 5	8.0E2	1.0E5	3.0E9	検出されない
実施例 6	8.0E2	5.0E5	6.0E9	検出されない
実施例 7	7.5E2	5.0E5	6.5E9	検出されない
実施例 8	5.0E2	1.0E5	5.0E9	検出されない
実施例 9	5.0E2	4.0E5	8.0E9	検出されない
実施例 10	8.0E2	5.0E5	9.5E9	検出されない

表 11 (a)

シリコン基板比抵抗: $10 \Omega \cdot \text{cm}$

	製造条件						
	融液窒素	引上速度	結晶窒素	結晶酸素	$T_m \sim 800^\circ\text{C}$	$800 \sim 400^\circ\text{C}$	熱処理
	/ cm^3	mm/分	/ cm^3	/ cm^3	$>2.0^\circ\text{C}/\text{分}$	$>1.0^\circ\text{C}/\text{分}$	
実施例 11	-	1.2	-	$2.0\text{E}17$	○	-	-
実施例 12	-	1.0	-	$8.0\text{E}17$	○	-	-
実施例 13	-	1.1	-	$10.0\text{E}17$	○	-	-

○ : 範囲内、 - : 範囲外

5

表 11 (b)

	エピ界面～深さ $1 \mu\text{m}$ 欠陥		バルク欠陥	エピ層欠陥
	サイズ $>0.1 \mu\text{m}$	サイズ $>20\text{nm}$	サイズ $>20\text{nm}$	
	/ cm^3	/ cm^3	/ cm^3	個/ウェハ
実施例 11	$3.0\text{E}3$	$1.0\text{E}4$	$1.0\text{E}8$	検出されない
実施例 12	$5.0\text{E}3$	$2.0\text{E}4$	$5.0\text{E}8$	検出されない
実施例 13	$6.0\text{E}3$	$4.0\text{E}4$	$5.5\text{E}8$	検出されない

表 12 (a)

シリコン基板比抵抗 : $0.02 \Omega \cdot \text{cm}$

	製造条件						
	融液窒素	引上速度	結晶窒素	結晶酸素	$T_m \sim 800^\circ\text{C}$	$800 \sim 400^\circ\text{C}$	熱処理
	$/\text{cm}^3$	$\text{mm}/\text{分}$	$/\text{cm}^3$	$/\text{cm}^3$	$>2.0^\circ\text{C}/\text{分}$	$>1.0^\circ\text{C}/\text{分}$	
実施例 11	-	1.0	-	$2.0\text{E}17$	○	-	-
実施例 12	-	1.0	-	$8.0\text{E}17$	○	-	-
実施例 13	-	1.1	-	$10.0\text{E}17$	○	-	-

○ : 範囲内、 - : 範囲外

5

表 12 (b)

	エピ界面～深さ $1\mu\text{m}$ 欠陥		バルク欠陥	エピ層欠陥
	サイズ $>0.1\mu\text{m}$	サイズ $>20\text{nm}$	サイズ $>20\text{nm}$	
	$/\text{cm}^3$	$/\text{cm}^3$	$/\text{cm}^3$	個/ウェハ
実施例 11	$2.0\text{E}3$	$1.0\text{E}4$	$2.0\text{E}8$	検出されない
実施例 12	$4.0\text{E}3$	$1.0\text{E}4$	$6.0\text{E}8$	検出されない
実施例 13	$5.0\text{E}3$	$4.0\text{E}4$	$8.0\text{E}8$	検出されない

表 13 (a)

シリコン基板比抵抗：10 $\Omega \cdot \text{cm}$

	製造条件						
	融液窒素	引上速度	結晶窒素	結晶酸素	T _m ~800°C	800~400°C	熱処理
	/cm ³	mm/分	/cm ³	/cm ³	>2.0°C/分	>1.0°C/分	
実施例 14	-	1.0	-	3.0E17	-	○	-
実施例 15	-	0.9	-	8.0E17	-	○	-
実施例 16	-	0.8	-	10.0E17	-	○	-

○：範囲内、 -：範囲外

5

表 13 (b)

	エピ界面～深さ 1 μm 欠陥		バルク欠陥	エピ層欠陥
	サイズ>0.1 μm	サイズ>20nm	サイズ>20nm	
	/cm ³	/cm ³	/cm ³	個/ウェハ
実施例 14	7.0E3	5.0E4	6.0E6	検出されない
実施例 15	7.5E3	9.0E4	2.0E7	検出されない
実施例 16	9.0E3	1.0E5	4.5E7	検出されない

表 14 (a)

シリコン基板比抵抗: $0.02 \Omega \cdot \text{cm}$

	製造条件						
	融液窒素	引上速度	結晶窒素	結晶酸素	T _m ~800°C	800~400°C	熱処理
	/cm ³	mm/分	/cm ³	/cm ³	>2.0°C/分	>1.0°C/分	
実施例 14	-	0.9	-	3.0E17	-	○	-
実施例 15	-	0.8	-	8.0E17	-	○	-
実施例 16	-	0.8	-	10.0E17	-	○	-

○ : 範囲内、 - : 範囲外

5

表 14 (b)

	エピ界面～深さ 1μm 欠陥		バルク欠陥	エピ層欠陥
	サイズ>0.1μm	サイズ>20nm	サイズ>20nm	
	/cm ³	/cm ³	/cm ³	個/ウェハ
実施例 14	6.0E3	4.0E4	7.0E7	検出されない
実施例 15	6.5E3	7.0E4	4.0E7	検出されない
実施例 16	8.0E3	9.0E4	8.0E7	検出されない

表 15 (a)

シリコン基板比抵抗：10 $\Omega \cdot \text{cm}$

	製造条件						
	融液窒素	引上速度	結晶窒素	結晶酸素	T _m ~800°C	800~400°C	熱処理
	/cm ³	mm/分	/cm ³	/cm ³	>2.0°C/分	>1.0°C/分	
実施例 17	-	1.2	-	3.0E17	○	○	-
実施例 18	-	1.1	-	8.0E17	○	○	-
実施例 19	-	1.1	-	10.0E17	○	○	-

○：範囲内、 -：範囲外

5

表 15 (b)

	エピ界面～深さ 1 μm 欠陥		バルク欠陥	エピ層欠陥
	サイズ>0.1 μm	サイズ>20nm	サイズ>20nm	
	/cm ³	/cm ³	/cm ³	個/ウェハ
実施例 17	1.2E3	8.0E3	2.0E8	検出されない
実施例 18	3.0E3	1.0E4	6.0E8	検出されない
実施例 19	4.5E3	2.0E4	5.5E8	検出されない

表 16 (a)

シリコン基板比抵抗: $0.02 \Omega \cdot \text{cm}$

	製造条件						
	融液窒素	引上速度	結晶窒素	結晶酸素	$T_m \sim 800^\circ\text{C}$	$800 \sim 400^\circ\text{C}$	熱処理
	$/\text{cm}^3$	$\text{mm}/\text{分}$	$/\text{cm}^3$	$/\text{cm}^3$	$>2.0^\circ\text{C}/\text{分}$	$>1.0^\circ\text{C}/\text{分}$	
実施例 17	-	1.2	-	$3.0\text{E}17$	○	○	-
実施例 18	-	1.2	-	$8.0\text{E}17$	○	○	-
実施例 19	-	1.2	-	$10.0\text{E}17$	○	○	-

○ : 範囲内、 - : 範囲外

5

表 16 (b)

	エピ界面～深さ $1 \mu\text{m}$ 欠陥		バルク欠陥	エピ層欠陥
	サイズ $>0.1 \mu\text{m}$	サイズ $>20\text{nm}$	サイズ $>20\text{nm}$	
	$/\text{cm}^3$	$/\text{cm}^3$	$/\text{cm}^3$	個/ウェハ
実施例 17	$1.0\text{E}3$	$5.0\text{E}3$	$4.0\text{E}8$	検出されない
実施例 18	$1.5\text{E}3$	$1.0\text{E}4$	$8.0\text{E}8$	検出されない
実施例 19	$3.0\text{E}3$	$1.5\text{E}4$	$9.5\text{E}8$	検出されない

表 17 (a)

シリコン基板比抵抗：10 $\Omega \cdot \text{cm}$

	製造条件						
	融液窒素	引上速度	結晶窒素	結晶酸素	T _m ~800°C	800~400°C	熱処理
	/cm ³	mm/分	/cm ³	/cm ³	>2.0°C/分	>1.0°C/分	
実施例 20	2.0E16	0.8	1.5E13	4.0E17	○	-	-
実施例 21	2.0E16	0.8	1.5E13	8.0E17	○	-	-
実施例 22	5.0E16	0.8	4.0E13	10.0E17	○	-	-
実施例 23	2.0E18	1.0	1.0E15	4.0E17	○	-	-
実施例 24	2.0E18	1.0	1.0E15	8.0E17	○	-	-
実施例 25	2.0E18	1.0	1.0E15	10.0E17	○	-	-
実施例 26	2.0E16	1.0	1.5E13	3.0E17	-	○	-
実施例 27	2.0E16	0.8	1.5E13	8.0E17	-	○	-
実施例 28	5.0E16	0.8	4.0E13	9.0E17	-	○	-
実施例 29	4.5E18	1.1	3.0E15	3.0E17	-	○	-
実施例 30	4.5E18	1.0	3.0E15	8.0E17	-	○	-
実施例 31	4.5E18	0.9	3.0E15	9.0E17	-	○	-
実施例 32	5.0E16	1.2	4.0E13	4.0E17	○	○	-
実施例 33	5.0E16	1.1	4.0E13	7.5E17	○	○	-
実施例 34	2.0E16	1.1	1.5E13	9.5E17	○	○	-
実施例 35	2.0E18	1.1	1.0E15	4.0E17	○	○	-
実施例 36	2.0E18	1.1	1.0E15	7.5E17	○	○	-
実施例 37	2.0E18	1.1	1.0E15	9.5E17	○	○	-

○：範囲内、 -：範囲外

表 17 (b)

	エピ界面～深さ 1 μ m 欠陥		バルク欠陥	エピ層欠陥
	サイズ>0.1 μ m	サイズ>20nm	サイズ>20nm	
	/cm ³	/cm ³	/cm ³	個/ウェハ
実施例 20	4.0E2	1.2E3	8.0E9	検出されない
実施例 21	4.5E2	2.0E3	1.0E10	検出されない
実施例 22	6.0E2	2.0E3	1.5E10	検出されない
実施例 23	1.2E2	1.2E3	1.0E10	検出されない
実施例 24	1.5E2	1.2E3	2.0E10	検出されない
実施例 25	2.0E2	1.2E3	2.5E10	検出されない
実施例 26	6.0E2	1.8E3	8.5E8	検出されない
実施例 27	8.5E2	6.0E3	1.0E9	検出されない
実施例 28	9.5E2	6.0E3	2.0E9	検出されない
実施例 29	4.0E2	1.2E3	1.5E9	検出されない
実施例 30	6.0E2	1.5E3	3.0E9	検出されない
実施例 31	7.0E2	1.5E3	5.0E9	検出されない
実施例 32	<1.0E2	6.0E2	1.0E10	検出されない
実施例 33	2.4E2	9.0E2	1.2E10	検出されない
実施例 34	3.0E2	9.0E2	2.1E10	検出されない
実施例 35	<1.0E2	6.0E2	1.5E10	検出されない
実施例 36	<1.0E2	3.0E2	2.3E10	検出されない
実施例 37	1.2E2	3.0E2	2.5E10	検出されない

表 18 (a)

シリコン基板比抵抗 : $0.02 \Omega \cdot \text{cm}$

	製造条件						
	融液窒素 /cm ³	引上速度 mm/分	結晶窒素 /cm ³	結晶酸素 /cm ³	T _m ~800°C >2.0°C/分	800~400°C >1.0°C/分	熱処理
実施例 20	2.0E16	0.9	1.5E13	4.0E17	○	-	-
実施例 21	2.0E16	1.0	1.5E13	8.0E17	○	-	-
実施例 22	5.0E16	1.0	4.0E13	10.0E17	○	-	-
実施例 23	2.0E18	0.9	1.0E15	4.0E17	○	-	-
実施例 24	2.0E18	1.0	1.0E15	8.0E17	○	-	-
実施例 25	2.0E18	1.0	1.0E15	10.0E17	○	-	-
実施例 26	2.0E16	0.8	1.5E13	3.0E17	-	○	-
実施例 27	2.0E16	0.8	1.5E13	8.0E17	-	○	-
実施例 28	5.0E16	0.8	4.0E13	9.0E17	-	○	-
実施例 29	4.5E18	0.8	3.0E15	3.0E17	-	○	-
実施例 30	4.5E18	0.8	3.0E15	8.0E17	-	○	-
実施例 31	4.5E18	0.9	3.0E15	9.0E17	-	○	-
実施例 32	5.0E16	1.1	4.0E13	4.0E17	○	○	-
実施例 33	5.0E16	1.2	4.0E13	7.5E17	○	○	-
実施例 34	2.0E16	1.2	1.5E13	9.5E17	○	○	-
実施例 35	2.0E18	1.2	1.0E15	4.0E17	○	○	-
実施例 36	2.0E18	1.2	1.0E15	7.5E17	○	○	-
実施例 37	2.0E18	1.2	1.0E15	9.5E17	○	○	-

○ : 範囲内、 - : 範囲外

表 18 (b)

	エピ界面～深さ 1 μ m 欠陥		バルク欠陥	エピ層欠陥
	サイズ>0.1 μ m /cm ³	サイズ>20nm /cm ³	サイズ>20nm /cm ³	個/ウェハ
実施例 20	3.0E2	1.0E3	1.0E10	検出されない
実施例 21	3.0E2	1.5E3	1.5E10	検出されない
実施例 22	4.0E2	1.5E3	1.5E10	検出されない
実施例 23	1.0E2	1.0E3	1.0E10	検出されない
実施例 24	1.0E2	1.0E3	1.5E10	検出されない
実施例 25	1.0E2	1.0E3	2.0E10	検出されない
実施例 26	4.0E2	1.0E3	1.0E9	検出されない
実施例 27	6.0E2	4.0E3	1.0E9	検出されない
実施例 28	6.0E2	5.0E3	2.0E9	検出されない
実施例 29	3.0E2	1.0E3	3.0E9	検出されない
実施例 30	4.0E2	1.0E3	1.5E9	検出されない
実施例 31	6.0E2	1.0E3	3.0E9	検出されない
実施例 32	<1.0E2	3.0E2	2.0E10	検出されない
実施例 33	<1.0E2	5.0E2	2.0E10	検出されない
実施例 34	<1.0E2	5.0E2	2.5E10	検出されない
実施例 35	<1.0E2	2.0E2	3.0E10	検出されない
実施例 36	<1.0E2	1.0E2	3.0E10	検出されない
実施例 37	1.0E2	2.0E2	3.5E10	検出されない

表 19 (a)

シリコン基板比抵抗: $10 \Omega \cdot \text{cm}$

	製造条件						
	融液窒素	引上速度	結晶窒素	結晶酸素	$T_m \sim 800^\circ\text{C}$	$800 \sim 400^\circ\text{C}$	熱処理
	$/\text{cm}^3$	$\text{mm}/\text{分}$	$/\text{cm}^3$	$/\text{cm}^3$	$>2.0^\circ\text{C}/\text{分}$	$>1.0^\circ\text{C}/\text{分}$	
実施例 38	1.0E19	0.8	1.0E16	10.0E17	-	-	(1)
実施例 39	8.0E18	0.8	5.0E15	10.0E17	-	-	(2)
実施例 40	8.0E18	0.8	5.0E15	10.0E17	-	-	(3)
実施例 41	8.0E18	0.8	5.0E15	10.0E17	-	-	(4)
実施例 42	8.0E18	0.8	5.0E15	10.0E17	-	-	(5)
実施例 43	-	0.8	-	10.0E17	○	-	(1)
実施例 44	-	0.8	-	10.0E17	-	○	(1)
実施例 45	-	0.8	-	10.0E17	○	○	(1)
実施例 46	8.0E18	1.0	5.0E15	10.0E17	○	-	(1)
実施例 47	4.5E18	0.9	3.0E15	9.0E17	-	○	(1)
実施例 48	8.0E18	1.1	5.0E15	10.0E17	○	○	(1)

○: 範囲内、-: 範囲外

熱処理条件	(1)	Ar、1100°C、60 分
	(2)	Ar、1100°C、5 分
	(3)	O ₂ 、1100°C、60 分
	(4)	Ar、1000°C、60 分
	(5)	Ar、1300°C、5 分

表 19 (b)

	エピ界面～深さ 1 μ m 欠陥		バルク欠陥	エピ層欠陥
	サイズ>0.1 μ m	サイズ>20nm	サイズ>20nm	
	/cm ³	/cm ³	/cm ³	個/ウェハ
実施例 38	<1.0E2	9.0E2	1.0E9	検出されない
実施例 39	<1.0E2	1.0E4	1.0E9	検出されない
実施例 40	1.2E3	3.0E3	1.0E9	検出されない
実施例 41	<1.0E2	1.0E4	1.0E9	検出されない
実施例 42	<1.0E2	<1.0E2	1.0E8	検出されない
実施例 43	4.5E2	1.2E3	5.0E8	検出されない
実施例 44	9.5E2	1.2E3	1.0E8	検出されない
実施例 45	3.0E2	1.2E3	6.0E8	検出されない
実施例 46	<1.0E2	3.0E2	2.0E9	検出されない
実施例 47	<1.0E2	6.0E2	1.0E9	検出されない
実施例 48	<1.0E2	<1.0E2	3.0E9	検出されない

表 20 (a)

シリコン基板比抵抗：0.02 $\Omega \cdot \text{cm}$

	製造条件						
	融液窒素 /cm ³	引上速度 mm/分	結晶窒素 /cm ³	結晶酸素 /cm ³	T _m ~800°C >2.0°C/分	800~400°C >1.0°C/分	熱処理
実施例 38	1.0E19	0.9	1.0E16	10.0E17	-	-	(1)
実施例 39	8.0E18	0.9	5.0E15	10.0E17	-	-	(2)
実施例 40	8.0E18	0.9	5.0E15	10.0E17	-	-	(3)
実施例 41	8.0E18	0.9	5.0E15	10.0E17	-	-	(4)
実施例 42	8.0E18	0.9	5.0E15	10.0E17	-	-	(5)
実施例 43	-	0.8	-	10.0E17	○	-	(1)
実施例 44	-	0.8	-	10.0E17	-	○	(1)
実施例 45	-	0.8	-	10.0E17	○	○	(1)
実施例 46	8.0E18	1.0	5.0E15	10.0E17	○	-	(1)
実施例 47	4.5E18	0.9	3.0E15	9.0E17	-	○	(1)
実施例 48	8.0E18	1.1	5.0E15	10.0E17	○	○	(1)

○：範囲内、 -：範囲外

熱処理条件	(1)	Ar、1100°C、60分
	(2)	Ar、1100°C、5分
	(3)	O ₂ 、1100°C、60分
	(4)	Ar、1000°C、60分
	(5)	Ar、1300°C、5分

表 20 (b)

	エピ界面～深さ 1 μ m 欠陥		バルク欠陥	エピ層欠陥
	サイズ>0.1 μ m	サイズ>20nm	サイズ>20nm	
	/cm ³	/cm ³	/cm ³	個/ウェハ
実施例 38	<1.0E2	5.0E2	1.0E9	検出されない
実施例 39	<1.0E2	5.0E3	1.0E9	検出されない
実施例 40	<1.0E2	1.0E3	1.0E9	検出されない
実施例 41	<1.0E2	5.0E3	1.0E9	検出されない
実施例 42	<1.0E2	<1.0E2	1.0E8	検出されない
実施例 43	4.5E2	5.0E2	5.0E8	検出されない
実施例 44	9.5E2	5.0E2	1.0E8	検出されない
実施例 45	3.0E2	6.0E2	6.0E8	検出されない
実施例 46	<1.0E2	<1.0E2	2.0E9	検出されない
実施例 47	<1.0E2	2.0E2	1.0E9	検出されない
実施例 48	<1.0E2	<1.0E2	3.0E9	検出されない

表 21 (a)

シリコン基板比抵抗: $10 \Omega \cdot \text{cm}$

	製造条件						
	融液窒素 /cm ³	引上速度 mm/分	結晶窒素 /cm ³	結晶酸素 /cm ³	T _m ~800°C >2.0°C/分	800~400°C >1.0°C/分	熱処理
比較例 4	-	0.8	-	2.0E17	-	-	-
比較例 5	-	0.8	-	8.0E17	-	-	-
比較例 6	-	0.8	-	10.0E17	-	-	-
比較例 7	8.0E15	0.8	5.0E12	2.0E17	-	-	-
比較例 8	8.0E15	0.8	5.0E12	8.0E17	-	-	-
比較例 9	8.0E15	0.8	5.0E12	10.0E17	-	-	-
比較例 10	4.5E19	0.8	3.0E16	10.0E17	-	-	-

○ : 範囲内、 - : 範囲外

表 21 (b)

	エピ界面～深さ 1μm 欠陥		バルク欠陥	エピ層欠陥
	サイズ>0.1μm /cm ³	サイズ>20nm /cm ³	サイズ>20nm /cm ³	個/ウェハ
比較例 4	9.0E4	1.0E6	5.0E6	3
比較例 5	1.0E5	3.0E6	2.0E7	6
比較例 6	5.0E5	5.0E6	3.0E7	8
比較例 7	6.0E4	8.0E5	1.0E7	2
比較例 8	1.0E5	2.0E6	3.0E7	4
比較例 9	3.0E5	5.0E6	5.0E7	3
比較例 10	1.0E3	2.0E5	5.0E9	75

表 22 (a)

シリコン基板比抵抗 : 0.02 $\Omega \cdot \text{cm}$

	製造条件						
	融液窒素	引上速度	結晶窒素	結晶酸素	T _m ~800°C	800~400°C	熱処理
	/cm ³	mm/分	/cm ³	/cm ³	>2.0°C/分	>1.0°C/分	
比較例 4	-	0.8	-	2.0E17	-	-	-
比較例 5	-	0.9	-	8.0E17	-	-	-
比較例 6	-	0.9	-	10.0E17	-	-	-
比較例 7	8.0E15	0.8	5.0E12	2.0E17	-	-	-
比較例 8	8.0E15	0.9	5.0E12	8.0E17	-	-	-
比較例 9	8.0E15	0.9	5.0E12	10.0E17	-	-	-
比較例 10	4.5E19	0.9	3.0E16	10.0E17	-	-	-

○ : 範囲内、 - : 範囲外

表 22 (b)

	エピ界面～深さ 1 μm 欠陥		バルク欠陥	エピ層欠陥
	サイズ >0.1 μm	サイズ 20nm	サイズ >20nm	
	/cm ³	/cm ³	/cm ³	個/ウェハ
比較例 4	1.0E5	3.5E6	5.0E6	3
比較例 5	2.0E5	2.0E6	2.0E7	6
比較例 6	4.0E5	6.0E6	3.0E7	8
比較例 7	9.0E4	1.0E6	1.0E7	2
比較例 8	1.5E5	2.0E6	3.0E7	4
比較例 9	2.5E5	5.0E6	5.0E7	3
比較例 10	1.5E3	1.0E5	1.0E10	55

産業上の利用可能性

以上述べたように、第1の観点に係る本発明のシリコン半導体基板は、デバイス形成領域の結晶欠陥が極めて少ないので、基板上に作成される半導体デバイスの歩留りが向上するとともに、その信頼性も高まるため、

5 デバイス作成プロセスにおける生産性向上並びにコスト低減に寄与する
と言う効果を有する。

また、第1の観点に係る本発明のシリコン半導体基板の製造方法によれば、シリコン半導体基板中の空孔欠陥を効果的に消滅させることができるとともに、酸素析出物もその大きさが小さいために簡便な熱処理によって容易に消滅できることから、半導体デバイス作成に必要な高品質な単結晶表面層を有するシリコン半導体基板を生産性良く製造することが可能となった。

10

また第2の観点に係る本発明のシリコン半導体基板は、エピタキシャル層内およびエピタキシャル層とサブストレートウェハの界面付近において欠陥発生が極めて少ない基板で、デバイス製造熱処理工程を経てもエピタキシャル層への結晶欠陥の発生を生じない基板であり、また、ウェハ内部析出物が十分あるためデバイスプロセス熱処理におけるゲッタリング能力に優れたエピタキシャルウェハである。第2の観点に係る本発明の製造方法は、前記シリコン半導体基板を従来よりも単純・容易に

15

20 低コストで製造することが可能である。

請求の範囲

1. チョクラルスキー法により育成したシリコン単結晶から得たシリコン半導体基板であって、少なくとも基板表面から深さ $1\mu\text{m}$ までの領域において、直径換算で $0.1\mu\text{m}$ 以上の結晶欠陥の密度が 10^4 個/cm³ 以下であることを特徴とするシリコン半導体基板。
5
2. シリコン半導体基板の厚み中心における窒素含有量が 1×10^{13} atoms/cm³ 以上 1×10^{16} atoms/cm³ 以下である請求の範囲第1項に記載のシリコン半導体基板。
3. シリコン半導体基板の窒素含有量が 1×10^{16} atoms/cm³ 以下であり、かつ該基板中を二次イオン質量分析法で測定した窒素濃度が、平均信号強度の2倍以上の信号強度を示す窒素偏析による局所濃化部を有する請求の範囲第1項に記載のシリコン半導体基板。
10
4. シリコン半導体基板の厚み中心における窒素含有量が 1×10^{13} atoms/cm³ 以上 1×10^{16} atoms/cm³ 以下であり、かつ該基板中を二次イオン質量分析法で測定した窒素濃度が、平均信号強度の2倍以上の信号強度を示す窒素偏析による局所濃化部を有する請求の範囲第1項に記載のシリコン半導体基板。
15
5. チョクラルスキー法により育成したシリコン単結晶から得たシリコン半導体基板であって、基板厚み中心から表面に向かって結晶欠陥が減少する密度分布を有し、基板表面における直径換算で $0.1\mu\text{m}$ 以上の結晶欠陥の面密度が 1 個/cm² 以下であり、かつ基板表面から深さ $0.1\mu\text{m}$ における直径換算で $0.1\mu\text{m}$ 以上の結晶欠陥の体積密度が基板厚み中心に比べ1%以下であり、さらに基板厚み中心における窒素含有量が 1×10^{13} atoms/cm³ 以上 1×10^{16} atoms/cm³ 以下であることを特徴とするシリコン半導体基板。
20
6. 1×10^{16} atoms/cm³ 以上 1.5×10^{19} atoms/cm³ 以下であることを特徴とするシリコン半導体基板。
25

／ cm^3 以下の窒素を含有するシリコン融液を用いてチョクラルスキー法により育成したシリコン単結晶から得たシリコン半導体基板を、 1000°C 以上 1300°C 以下の温度で1時間以上熱処理することを特徴とするシリコン半導体基板の製造方法。

5 7. シリコン単結晶をチョクラルスキー法により育成する際に、引上速度を V (mm/min)、シリコンの融点から 1300°C までの温度範囲における引上軸方向の結晶内温度勾配の平均値を G ($^\circ\text{C}/\text{mm}$) とするとき、 $V/G \geq 0.2$ ($\text{mm}^2/^\circ\text{Cmin}$) を満足する条件で育成する請求の範囲第6項に記載のシリコン半導体基板の製造方法。

10 8. 非酸化性ガス雰囲気中で熱処理する請求の範囲第6項または第7項に記載のシリコン半導体基板の製造方法。

9. 酸素を $0.01\text{ vol}\%$ 以上 $100\text{ vol}\%$ 以下含有するガス雰囲気中で熱処理した後、さらに基板表面を $0.5\mu\text{m}$ 以上 $1.0\mu\text{m}$ 以下研磨して、基板表面を鏡面とする請求の範囲第6項または第7項に記載のシリコン半導体基板の製造方法。

15 10. 窒素含有量が $1.0 \times 10^{13}\text{atoms}/\text{cm}^3$ 以上 $1.0 \times 10^{16}\text{atoms}/\text{cm}^3$ 以下であるシリコンウェハをサブストレートウェハとしその表面に、エピタキシャル法によりシリコン単結晶層を堆積してなることを特徴とするシリコン半導体基板。

20 11. 前記サブストレートウェハの厚み中心において、直径換算で 20nm 以上の結晶欠陥密度が 1×10^8 個／ cm^3 以上である請求の範囲第10項に記載のシリコン半導体基板。

12. 酸素含有量が $1.0 \times 10^{17}\text{atoms}/\text{cm}^3$ 以上のシリコンウェハをサブストレートウェハとしその表面にエピタキシャル法によりシリコン単結晶層を堆積してなるシリコン半導体基板であって、少なくとも前記サブストレートウェハとエピタキシャル法により堆積したシリコン単

結晶層の界面から深さ $1\text{ }\mu\text{m}$ までの領域において、直径換算で $0.1\text{ }\mu\text{m}$ 以上の結晶欠陥の密度が 5×10^4 個/ cm^3 以下であることを特徴とするシリコン半導体基板。

13. 前記サブストレートウェハがさらに窒素を 1.0×10^{13} atoms/ cm^3 以上 1.0×10^{16} atoms/ cm^3 以下含有してなる請求の範囲第12項に記載のシリコン半導体基板。

14. 前記サブストレートウェハの厚み中心において、直径換算で 20 nm 以上の結晶欠陥密度が 1×10^8 個/ cm^3 以上である請求の範囲第12項または第13項に記載のシリコン半導体基板。

10 15. 酸素含有量が 1.0×10^{17} atoms/ cm^3 以上シリコンウェハをサブストレートウェハとしその表面にエピタキシャル法によりシリコン単結晶層を堆積してなるシリコン半導体基板であって、少なくとも前記サブストレートウェハとエピタキシャル法により堆積したシリコン単結晶層の界面から深さ $1\text{ }\mu\text{m}$ までの領域において、直径換算で 20 nm 以上の結晶欠陥の密度が 5×10^5 個/ cm^3 以下であることを特徴とするシリコン半導体基板。

16. 少なくとも前記サブストレートウェハとエピタキシャル法により堆積したシリコン単結晶層の界面から深さ $1\text{ }\mu\text{m}$ までの領域において、さらに直径換算で $0.1\text{ }\mu\text{m}$ 以上の結晶欠陥の密度が 5×10^4 個/ cm^3 以下であることを特徴とする請求の範囲第15項に記載のシリコン半導体基板。

17. 前記サブストレートウェハがさらに窒素を 1.0×10^{13} atoms/ cm^3 以上 1.0×10^{16} atoms/ cm^3 以下含有してなる請求の範囲第15項または第16項に記載のシリコン半導体基板。

25 18. 前記サブストレートウェハの厚み中心において、直径換算で 20 nm 以上の結晶欠陥密度が 1×10^8 個/ cm^3 以上である請求の範

図第15項または第16項に記載のシリコン半導体基板。

19. 前記サブストレートウェハの厚み中心において、直径換算で20nm以上の結晶欠陥密度が 1×10^8 個/cm³以上である請求の範囲第17項に記載のシリコン半導体基板。

- 5 20. 1.0×10^{18} atoms/cm³以上 1.5×10^{19} atoms/cm³以下の窒素を含有するシリコン融液を用いて育成したシリコン単結晶から得たシリコンウェハをサブストレートウェハとしその表面に、エピタキシャル法によりシリコン単結晶層を堆積させることを特徴とするシリコン半導体基板の製造方法。
- 10 21. チョクラルスキー法により、凝固温度から800℃の結晶温度範囲を2.0℃/分以上の冷却速度で育成したシリコン単結晶から得たシリコンウェハをサブストレートウェハとしその表面に、エピタキシャル法によりシリコン単結晶層を堆積することを特徴とするシリコン半導体基板の製造方法。
- 15 22. チョクラルスキー法により800℃～400℃の結晶温度範囲を1.0℃/分以上の冷却速度で育成したシリコン単結晶から得たシリコンウェハをサブストレートウェハとしその表面に、エピタキシャル法によりシリコン単結晶層を堆積することを特徴とするシリコン半導体基板の製造方法。
- 20 23. チョクラルスキー法により育成したシリコン単結晶であって、結晶引上育成中のシリコン単結晶が凝固温度から800℃の結晶温度範囲を2.0℃/分以上の冷却速度で育成し、引き続き800℃～400℃の結晶温度範囲を1.0℃/分以上の冷却速度で育成したシリコン単結晶から得たシリコンウェハをサブストレートウェハとしその表面に、
- 25 エピタキシャル法によりシリコン単結晶層を堆積することを特徴とするシリコン半導体基板の製造方法。

24. $1.0 \times 10^{16} \text{atoms/cm}^3$ 以上 $1.5 \times 10^{19} \text{atoms/cm}^3$ 以下の窒素を含有するシリコン融液を用いてシリコン単結晶を育成する請求の範囲第21～23項に記載のシリコン半導体基板の製造方法。

25. チョクラルスキー法により育成したシリコン単結晶から得たシリコンウェハを 1000°C 以上 1300°C 以下の温度で5分以上熱処理をしたものをサブストレートウェハとしその表面に、エピタキシャル法によりシリコン単結晶層を堆積する請求の範囲第21～23項に記載のシリコン半導体基板の製造方法。

26. チョクラルスキー法により育成したシリコン単結晶から得たシリコンウェハを 1000°C 以上 1300°C 以下の温度で5分以上熱処理をしたものをサブストレートウェハとしその表面に、エピタキシャル法によりシリコン単結晶層を堆積する請求の範囲第24項に記載のシリコン半導体基板の製造方法。

1 / 6

図 1

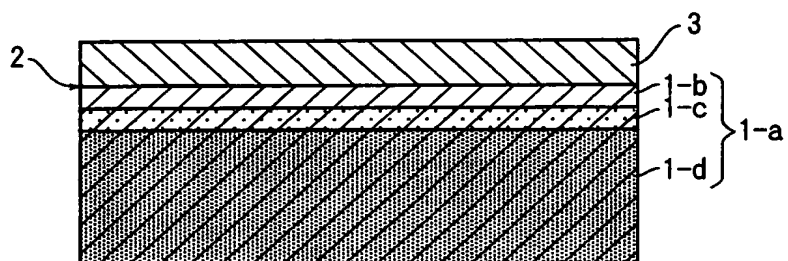
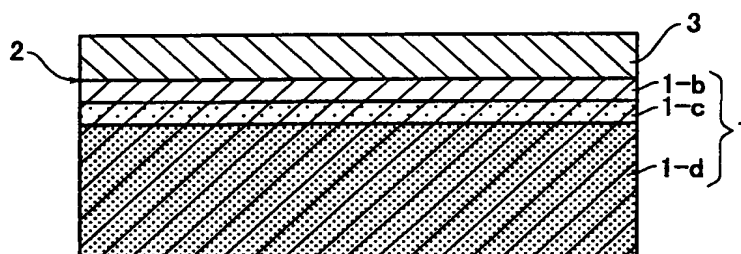
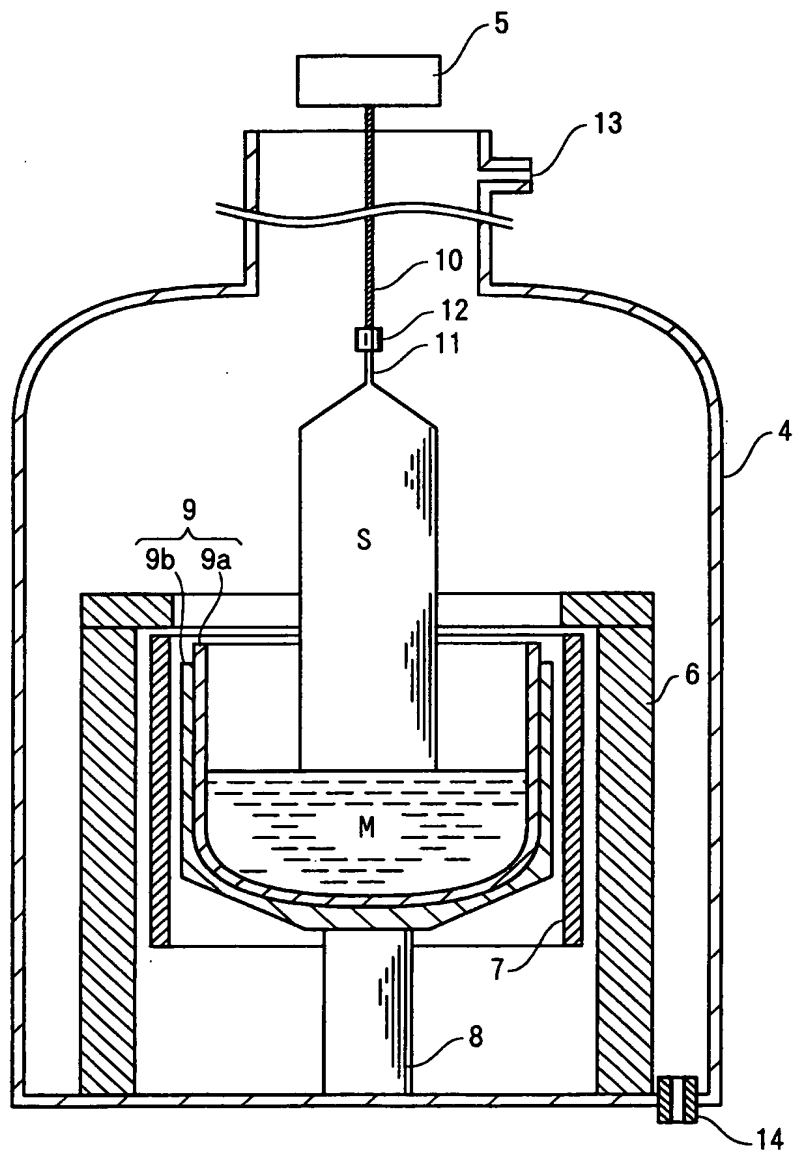


図 2



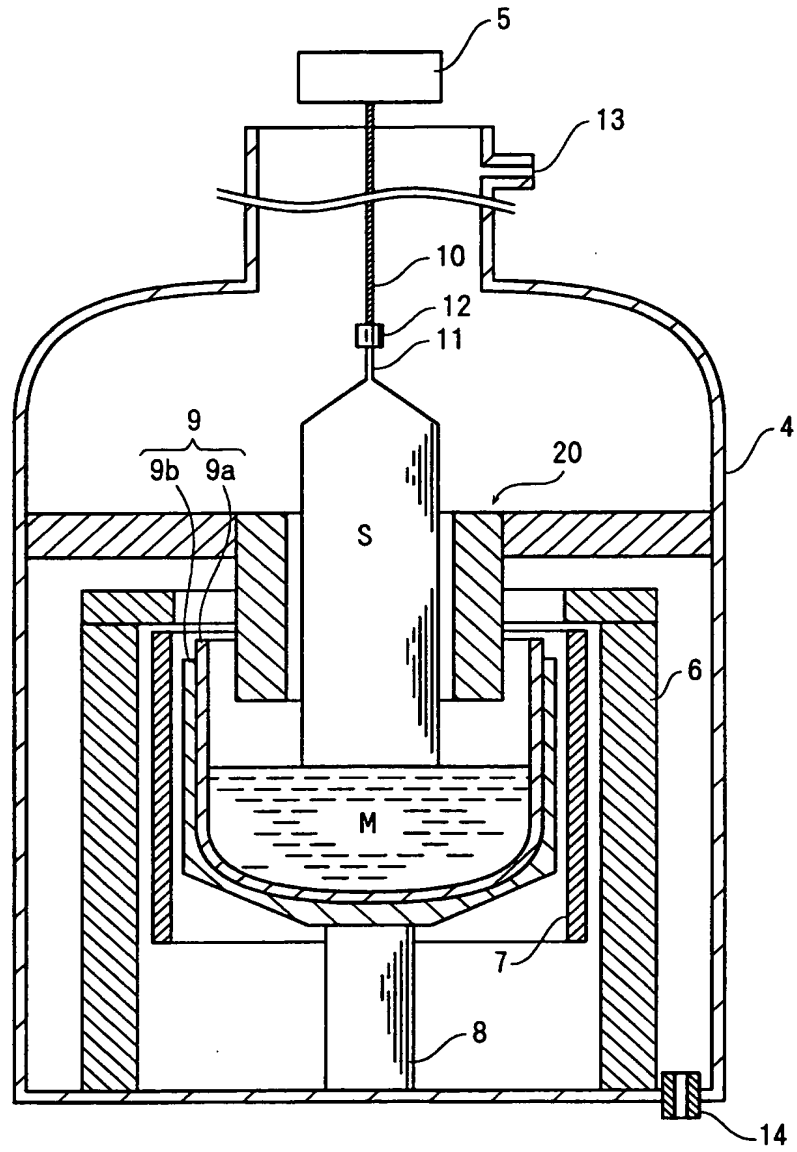
2 / 6

図 3



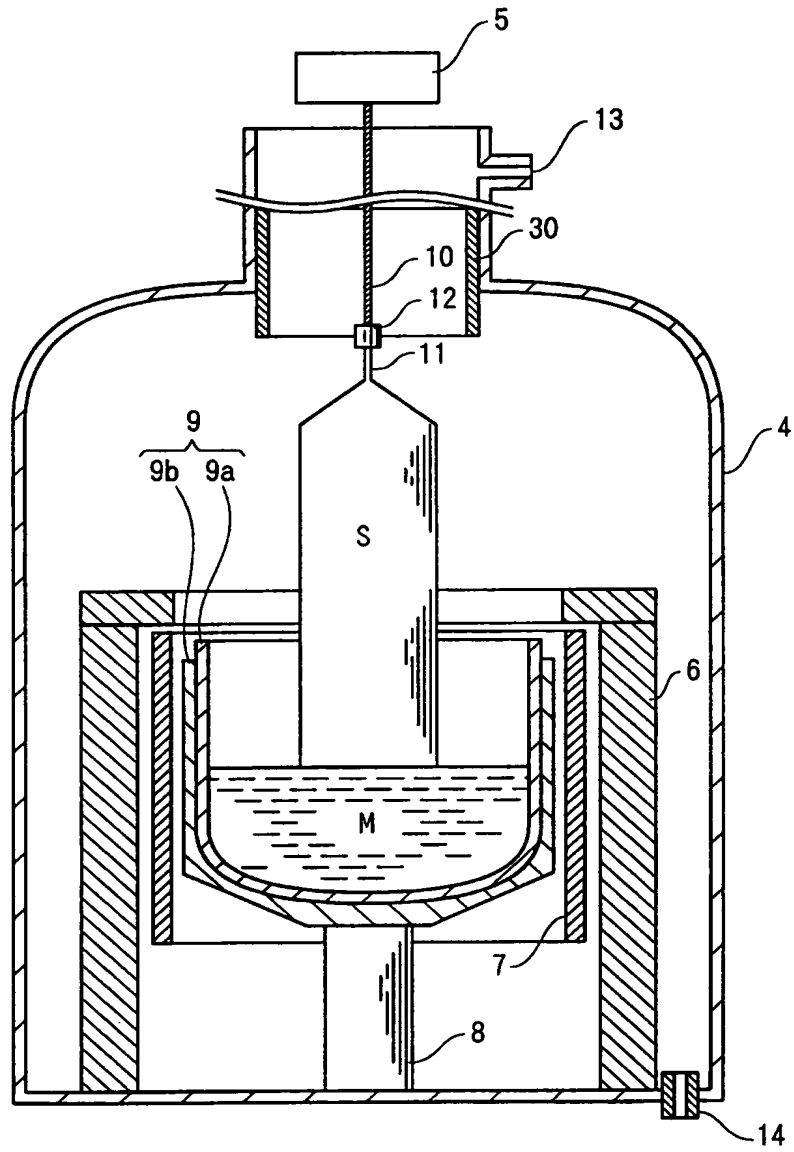
3 / 6

図 4



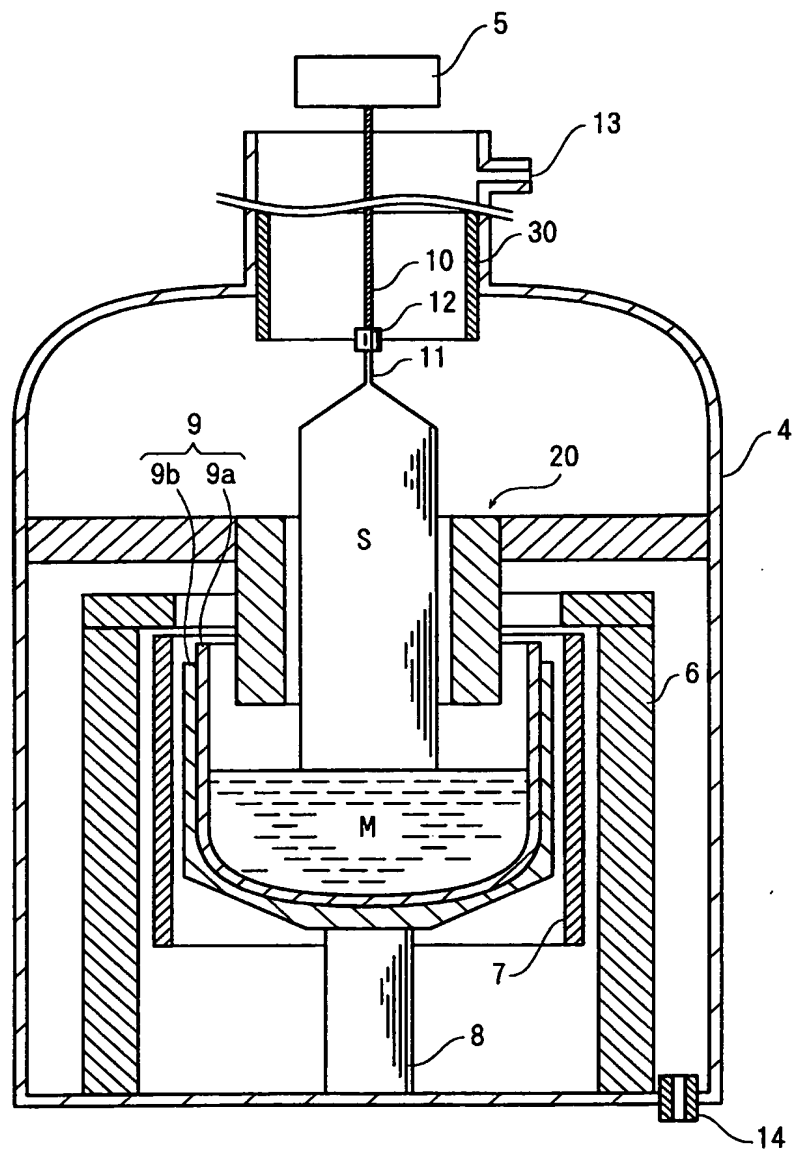
4 / 6

図 5



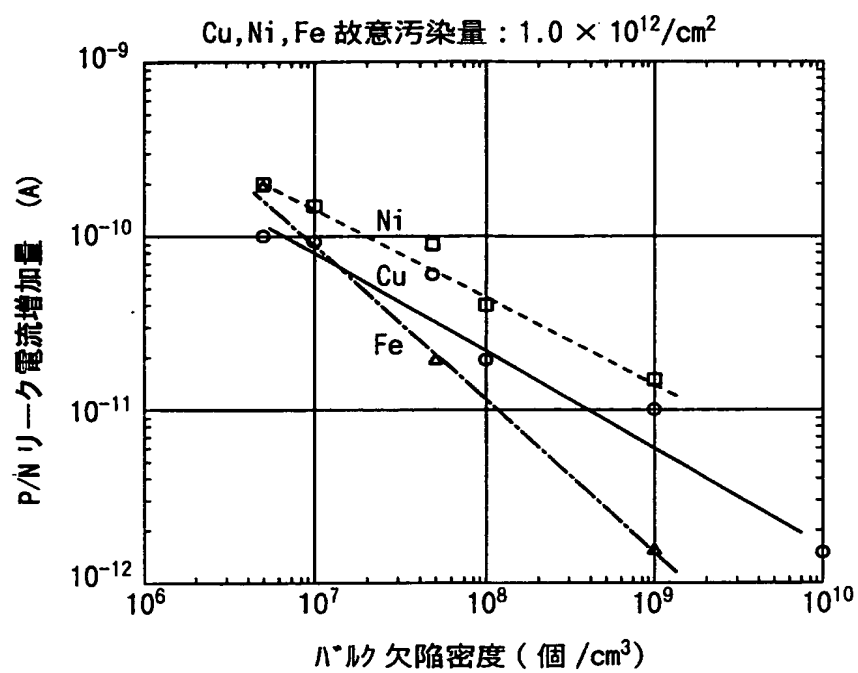
5 / 6

図 6



6 / 6

図 7



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/02336

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁶ C30B29/06, H01L21/322

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁶ C30B1/00-35/00, H01L21/02, H01L21/322

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-1999
Kokai Jitsuyo Shinan Koho 1971-1999 Jitsuyo Shinan Toroku Koho 1996-1999

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
CAS ONLINE

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP, 6-279188, A (Mitsubishi Materials Corp.), 4 October, 1994 (04. 10. 94), Claim 1 ; Par. No. [0013] (Family: none)	1 2-26
X A	JP, 8-250506, A (Toshiba Ceramics Co., Ltd.), 27 September, 1996 (27. 09. 96), Claims 3, 6, 7 ; Par. No. [0021] (Family: none)	12, 14-16, 18 5-9, 13, 17, 19
A	JP, 10-98047, A (Wacker Siltronic Gesellschaft für Halbleiternmaterien AG.), 14 April, 1998 (14. 04. 98), Claim 2 & EP, 829559, A	1-26
A	JP, 7-206591, A (Nippon Steel Corp.), 8 August, 1995 (08. 08. 95), Table 1 ; Comparative Example 2 (Family: none)	21-26

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
 "A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier document but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed
 "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
3 August, 1999 (03. 08. 99)

Date of mailing of the international search report
17 August, 1999 (17. 08. 99)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

国際調査報告

国際出願番号 PCT/J P 99/02336

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl. ° C30B29/06, H01L21/322

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl. ° C30B1/00-35/00, H01L21/02, H01L21/322

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年
 日本国公開実用新案公報 1971-1999年
 日本国登録実用新案公報 1994-1999年
 日本国実用新案登録公報 1996-1999年

国際調査で利用した電子データベース (データベースの名称、調査に使用した用語)

CAS ONLINE

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	JP, 6-279188, A (三菱マテリアル株式会社), 4.10月.1994 (04.10.94), 【請求項1】, 【0013】 (ファミリーなし)	1 2-26
X A	JP, 8-250506, A (東芝セラミックス株式会社), 27.9月.1996 (27.09.96), 【請求項3】, 【請求項6】, 【請求項7】, 【0021】 (ファミリーなし)	12, 14-16, 18 5-9, 13, 17, 19
A	JP, 10-98047, A (ワッカー・ジルトロニク・ゲゼルシャフト・フュ ア・ハルブライトマテリアリエン・アクチェンゲゼルシャフ ト), 14.4月.1998(14.04.98), 【請求項2】 & EP, 829559, A	1-26

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

03.08.99

国際調査報告の発送日

17.08.99

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

五十 棲 毅

電話番号 03-3581-1101 内線 3416

4G 9440

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, 7-206591, A (新日本製鐵株式会社), 8. 8月. 1995 (08. 08. 95), 【表1】比較例2 (ファミリーなし)	21-26